
擬似共振電源用制御IC

MS1005SK

MS1006SK

Application Note

アプリケーション ノート

『製品及び製品仕様は、お断りなく変更する場合があります。ご了承ください。』

新電元工業株式会社

SHINDENGEN ELECTRIC MFG. CO., LTD

使用上の注意

このたびは、弊社製品をご使用いただき誠にありがとうございます。

当 IC をご使用の際は、お客様の安全を確保するため下記の警告ならびに注意を必ず守ってご使用下さい。

警告		誤った取り扱いをした時に死亡や重大な人身事故及び大きな物的損害に結びつく危険性のあるもの。
注意		誤った取り扱いをした時に軽傷に結びつく恐れ、または軽微な物損事故に結びつく恐れのあるもの。

警告		当 IC は、一般電子機器（事務機器・通信機器・計測機器・家電製品等）に使用されることを意図しております。誤動作や事故が直接人体や生命を脅かす恐れのある医療器、航空宇宙機、列車、輸送機器（車載、船舶等）、原子力等の制御機器には使用しないで下さい。一般電子機器以外にご使用になる場合は弊社までご相談下さい。
注意		修理や改造は、重大な事故につながりますので、絶対にやめて下さい。 《感電、破壊、火災、誤動作等の危険があります。》
		異常時は出力端子に過大電圧が発生したり、電圧低下となる場合があります。異常時の、負荷の誤動作や破壊等を想定した保護対策（過電圧保護、過電流保護等の保護対策）を最終機器に組み込んで下さい。
		入力端子、出力端子の極性を確認し誤接続の無いことを確認してから通電して下さい。 《保護素子が切れたり、発煙・発火の原因になります。》
		決められた入力電圧を必ず守っていただくとともに、入力ラインに必ず保護素子を挿入して下さい。 《異常時には発煙・発火の危険があります。》
		使用中に故障または、異常が発生した時は、すぐに入力を遮断して電源を停止させて下さい。また、直ちに弊社にご相談下さい。

- 本資料に記載されている内容は、製品改良などのためお断りなしに変更することがありますのでご了承下さい。
- 御使用頂く際には、仕様書の取り交わしをして頂けます様お願いします。
- ここに記載されたすべての資料は正確かつ信頼し得るものでありますが、これらの資料の使用によって起因する損害または特許権その他権利の侵害に関しては、当社は一切その責任を負いません。
- 本資料によって第三者または当社の特許権その他権利の実施に対する保証または実施権の許諾を行うものではありません。
- 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りいたします。

 当社は、品質と信頼性の向上に絶えず努めていますが、半導体製品はある確率で故障が発生したり、誤動作する場合があります。必要に応じ、安全性を考慮した冗長設計、延焼防止設計、誤動作防止設計等の手段により結果として人身事故、火災事故、社会的な損害等が防止できるようご検討下さい。

 本資料に記載されている当社半導体製品は、特別に高い品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。下記の特別用途、特定用途の機器、装置にご使用の場合には必ず当社へご連絡の上、確認を得て下さい。

特別用途

輸送機器（車載、船舶等）、基幹用通信機器、交通信号機器、防災/防犯機器、各種安全機器、医療機器 等

特定用途

原子力制御システム、航空機器、航空宇宙機器、海底中継器、生命維持のための装置 等

 なお、IC 製品に関しては、特別用途・特定用途に限らず、連続運転を前提として長期製品寿命を期待される機器、装置にご使用される場合に関しては当社へお問い合わせ下さい。

当社は IC 製品を安全に使っていただくために回路支援をしております。弊社担当営業または営業企画にお問い合わせ下さい。

目次

1 概要	… 4	5.1.2 部品追加によるUTモード強化	… 22
1.1 はじめに	… 4	5.1.3 UTモード不使用時	… 22
1.2 特徴	… 4	5.2 Z/C端子(3番端子)	… 23
1.3 用途	… 4	5.2.1 標準回路	… 23
1.4 基本構成回路	… 5	5.3 F/B端子(4番端子)	… 24
1.5 外形寸法図	… 6	5.3.1 標準回路	… 24
2 ブロック図と端子名称	… 7	5.3.2 アブノーマル対策回路	… 24
2.1 ブロック図	… 7	5.3.3 F/B端子の位相補償について	… 24
2.2 端子名称	… 7	5.3.4 F/B端子への付加回路について	… 25
3 回路動作	… 8	5.4 OCL端子(8番端子)	… 25
3.1 起動	… 8	5.4.1 標準回路	… 25
3.1.1 起動回路	… 8	5.4.2 大電力時	… 25
3.1.2 ソフトスタート	… 9	5.5 VG端子(9番端子)	… 26
3.1.3 バイアスアシスト	… 9	5.5.1 標準回路	… 26
3.2 発振動作	… 10	5.5.2 駆動回路が必要な回路	… 26
3.2.1 オントリガ回路	… 10	5.5.3 大電力時	… 26
3.2.2 擬似共振動作	… 10	5.6 Vcc端子(10番端子)	… 27
3.2.3 ソフトドライブ	… 11	5.6.1 標準回路	… 27
3.2.4 谷飛び動作	… 11	5.6.2 Vcc電圧のレギュレーション対策①	… 27
3.2.5 出力電圧制御	… 12	5.6.3 Vcc電圧のレギュレーション対策②	… 27
3.3 バーストモード発振動作	… 12	5.6.4 Vcc電圧のレギュレーション対策③	… 28
3.3.1 オートバースト(自動スタンバイ)	… 12	5.6.5 アブノーマル対策回路	… 28
3.3.2 ウルトラスタンバイ(UT)モード	… 14	6 設計方法	… 29
3.4 保護機能	… 17	6.1 設計フローチャート	… 29
3.4.1 Vcc過電圧保護(OVP)	… 17	6.2 メインテナンス参考設計条件	… 30
3.4.2 過電流保護(OCP)	… 17	6.3 メインテナンス設計計算式	… 30
3.4.3 過負荷保護(タイマーラッチ)	… 18	6.4 各動作点を確認する	… 32
3.4.4 Vcc-GND短絡保護	… 19	6.4.1 式中の記号	… 33
3.4.5 リーディングエッジブランク(LEB)	… 19	6.4.2 谷飛び開始電力の計算式	… 33
3.4.6 オントリガ誤動作防止回路(Tondead)	… 19	6.4.3 谷飛び解除電力の計算式	… 33
3.4.7 過熱保護(TSD)	… 19	6.4.4 オートバースト開始・解除計算式	… 35
4 各端子の機能	… 20	6.4.5 垂下点電力の計算式	… 36
4.1 UT端子	… 20	6.5 共振コンデンサの設定・調整	… 38
4.2 Z/C端子	… 20	7 UTモード使用時の2次側設計	… 39
4.3 F/B端子	… 20	7.1 UTモード使用時の2次側回路例	… 39
4.4 FC端子	… 20	7.2 2次側応用回路UTモードシーケンス例	… 39
4.5 GND端子	… 20	7.3 2次側応用回路の設計例	… 40
4.6 OCL端子	… 20	7.3.1 出力電圧下限設定値の設定	… 40
4.7 VG端子	… 20	7.3.2 Q201周辺部品の設計	… 41
4.8 Vcc端子	… 21	7.3.3 フォトカプラPC103周辺の回路	… 42
4.9 Vin端子	… 21	7.4 UTモード消費電力削減例	… 42
5 各端子の設計	… 22	8 位相補正	… 43
5.1 UT端子(2番端子)	… 22	9 パターン設計の注意事項	… 44
5.1.1 標準回路	… 22	10 ノイズ対策	… 45

1 概要

1.1 はじめに

近年、急速に求められている省電力化に応えるため微小負荷領域の効率を改善するウルトラスタンバイモードを備えた MS1005SK/MS1006SK を開発しました。

MS1005/6SK(*)は、従来に比べ待機時の入力電力を削減し様々な機能を IC に内蔵することで少ない外付け部品でより使いやすく簡単に電源設計を行うことができる高機能 IC です。

(*)MS1005/6SK…MS1005SK と MS1006SK を合わせて指す場合には、MS1005/6SK と表記しています。

1.2 特徴

- 1)擬似共振動作により高効率・低ノイズ化
- 2)4step ソフトスタート機能内蔵
- 3)起動抵抗が不要な起動回路を内蔵し、起動回路での損失を低減
- 4)自動谷飛び機能により発振周波数の上昇を抑制し軽負荷時効率を改善
- 5)部品追加なしに軽負荷領域の効率を改善するオートバースト（自動スタンバイ）
- 6)微小負荷領域の効率を改善するウルトラスタンバイ（UT）モード
- 7)ノイズに有利なソフトドライブ回路を内蔵
- 8)過熱保護・過電圧保護・過負荷保護（タイマーラッチ）内蔵
- 9)1 次電流制限回路に入力電圧依存補正回路内蔵させ部品点数を削減
- 10)起動回路バイアスアシスト機能内蔵
- 11)Vcc-GND 短絡保護機能内蔵
- 12)SOP-14 パッケージを採用し、高圧ピンと制御ピン間に NC ピンを 3 ピン確保

1.3 用途

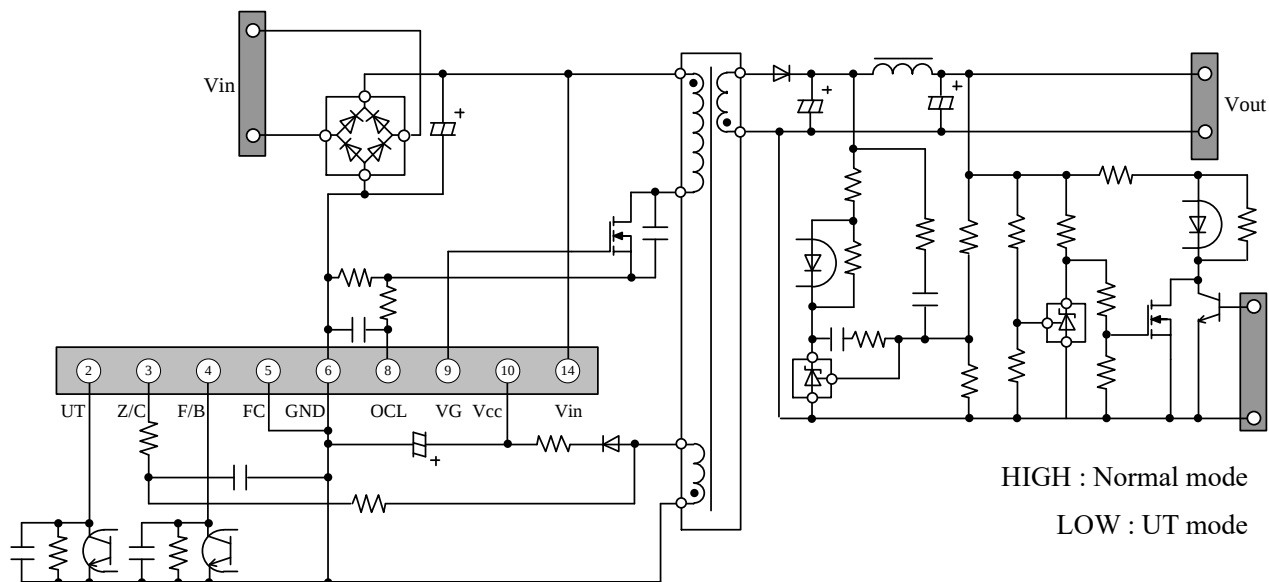
待機電力の削減が求められる用途に向いており、下記製品が用途例となります。

- 1)白物家電
- 2)産業機器
- 3)DVD/BD レコーダ・プレイヤー
- 4)Digital-STB 用電源
- 5)その他電化製品及び各種 OA 機器

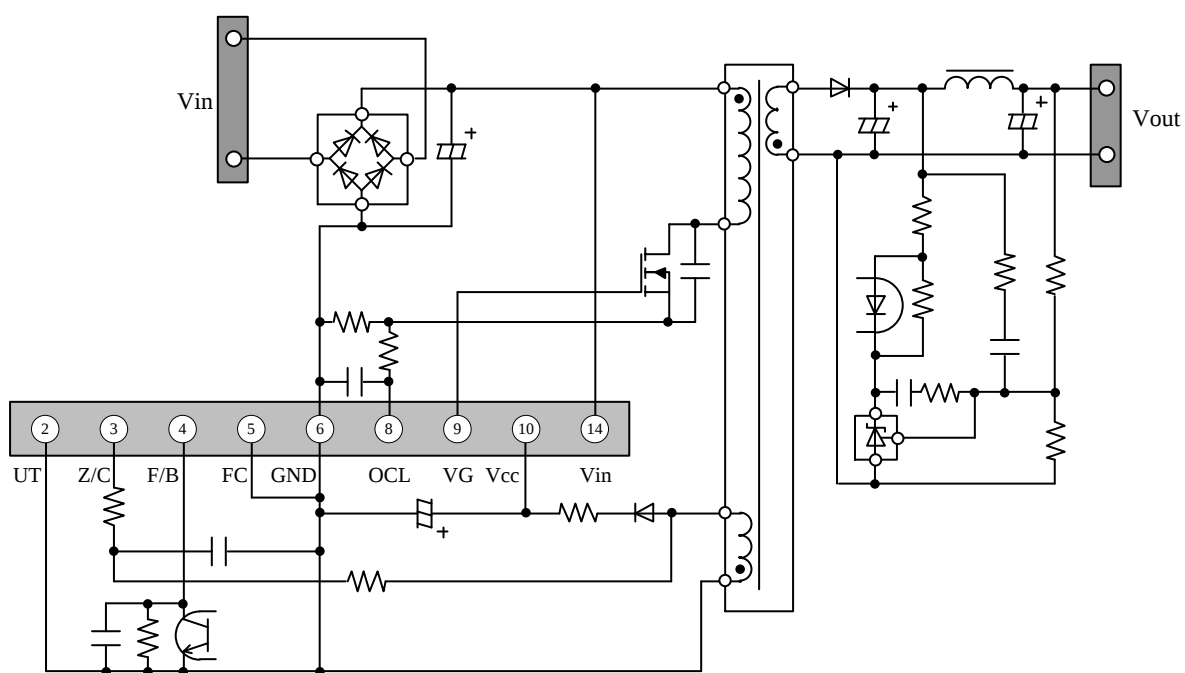
CAT.No.1D0300-1.1

1.4 基本構成回路

(1) UT スタンバイ機能使用回路

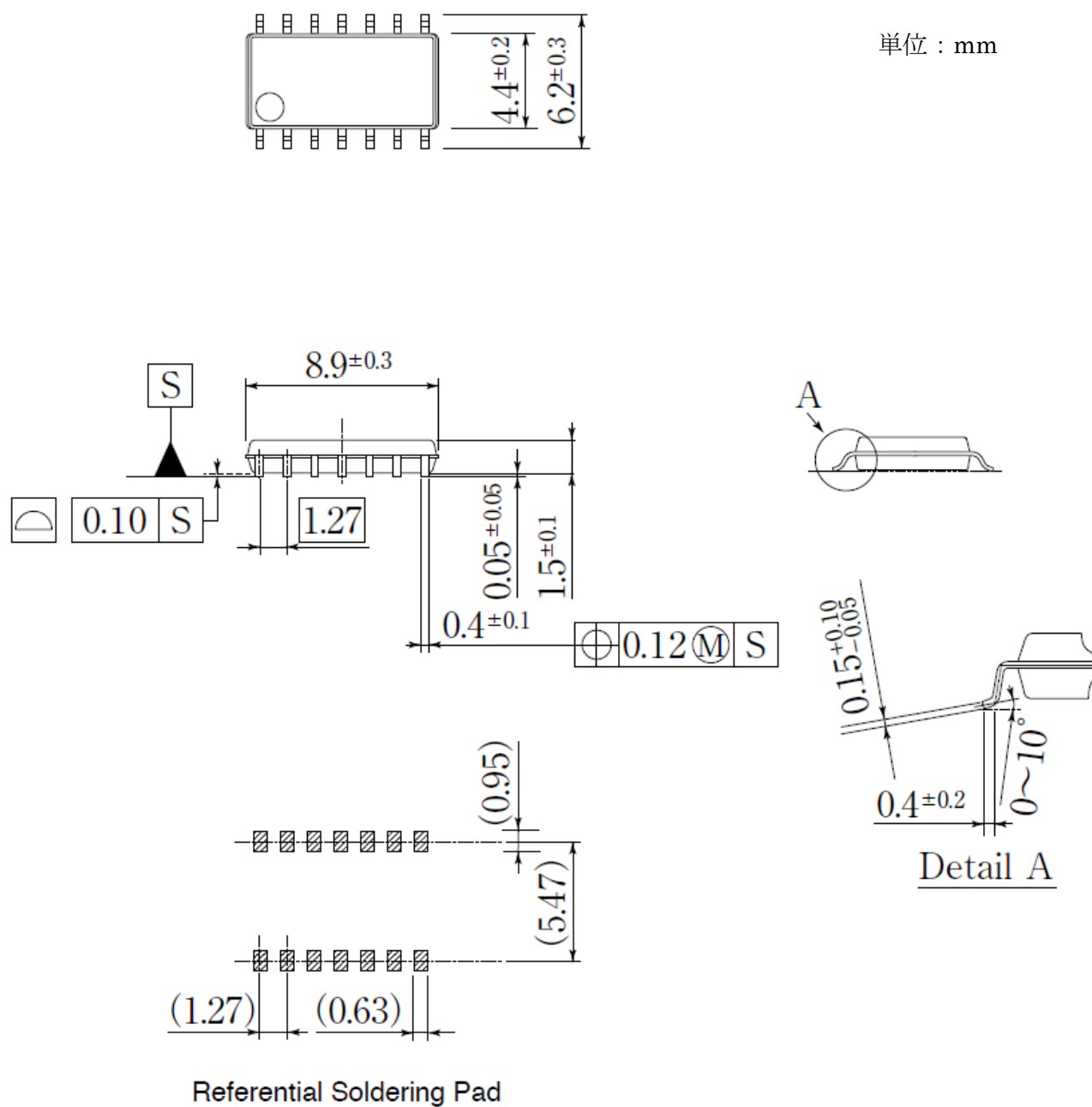


(2) UT スタンバイ機能未使用 (オートスタンバイのみ使用時の回路例)



CAT.No.1D0300-1.1

1.5 外形図 寸法



2 ブロック図と端子名称

2.1 ブロック図

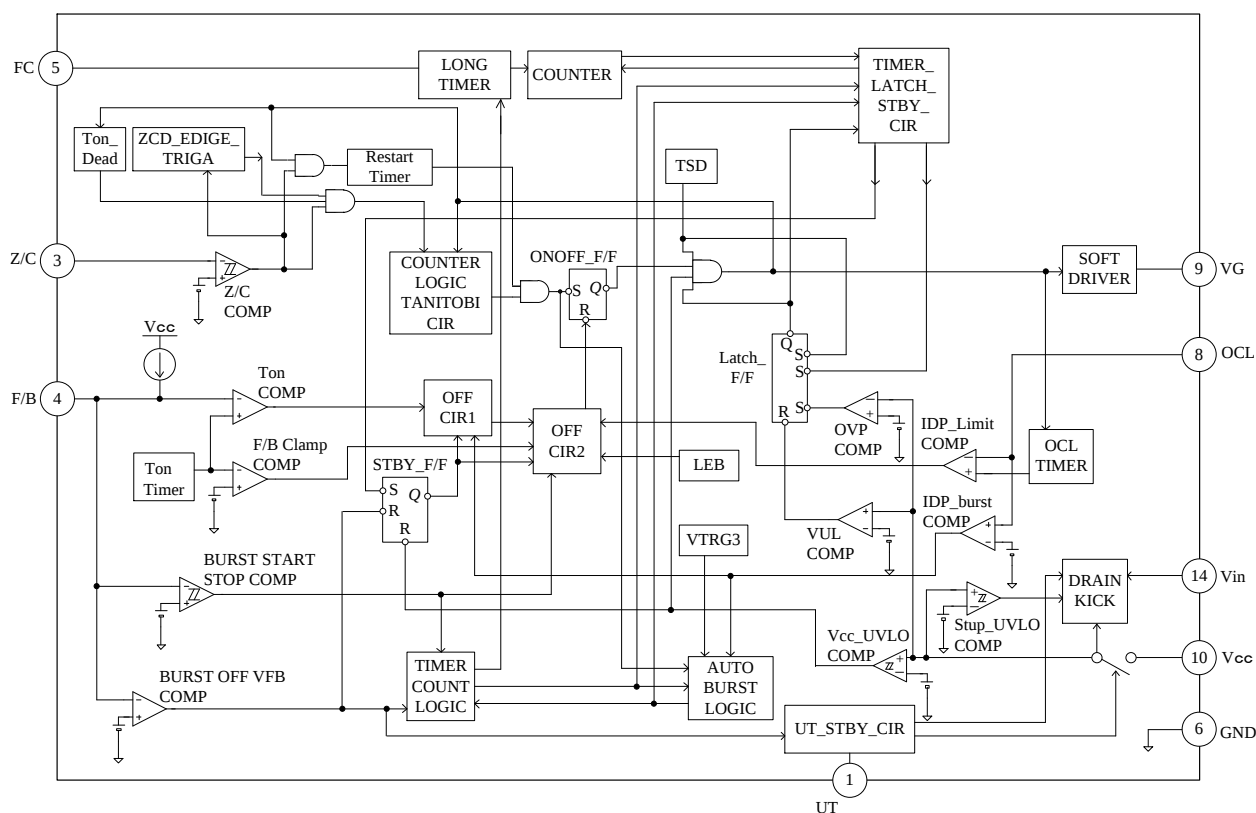


図 2.1 MS1005/6SK ブロック図

2.2 端子名称

端子番号	記号	端子名称
2	UT	ウルトラスタンバイ端子
3	Z/C	ゼロ電流検出端子
4	F/B	フィードバック端子
5	FC	機能端子
6	GND	グラウンド端子
8	OCL	オーバーカレントリミット端子
9	VG	VG 端子
10	Vcc	Vcc 端子
14	Vin	Vin 端子

※1,7,11,12,13 端子は NC 端子です。

※機能端子 FC はグラウンド端子に接続して下さい。

3 回路動作

3.1 起動

起動シーケンスは下図ようになります。

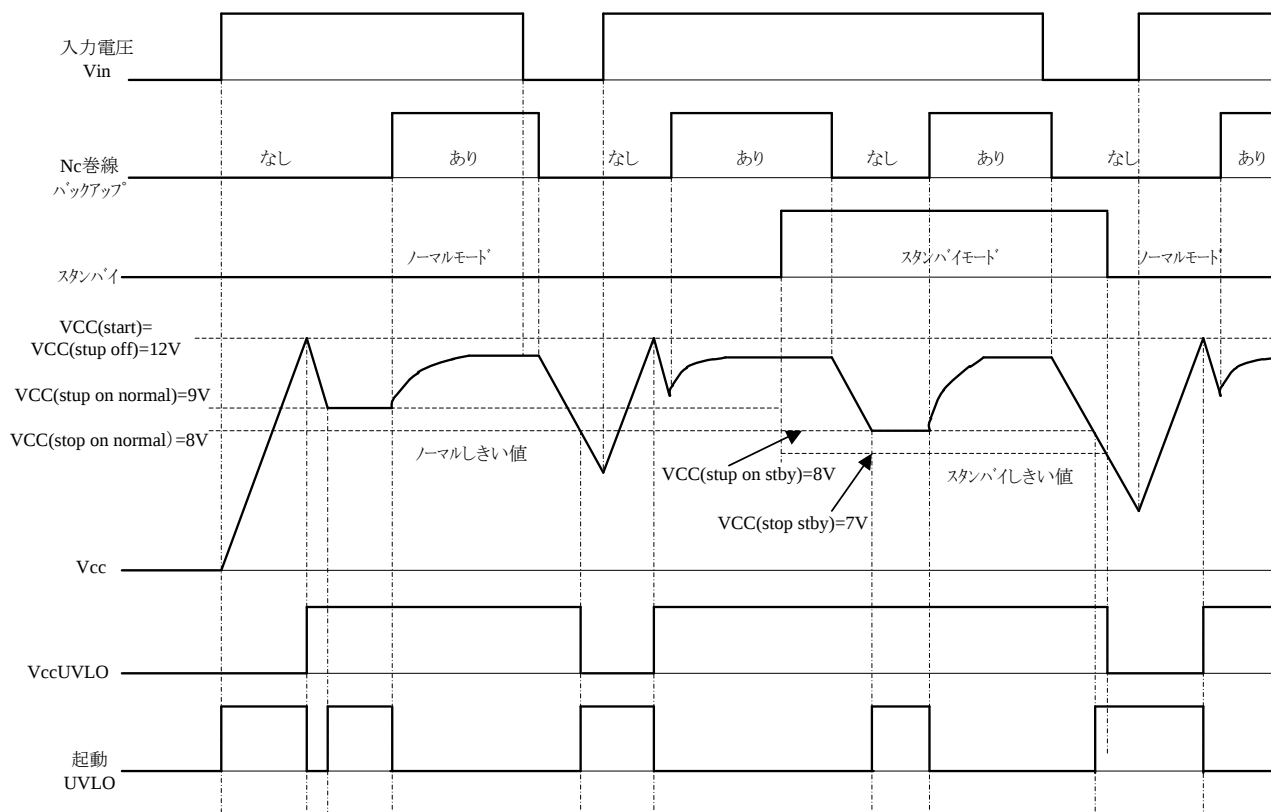


図 3.1 起動シーケンス

3.1.1 起動回路

MS1005/6SK は起動抵抗を必要としない起動回路を内蔵しているため部品点数が少なく簡単に動作させられます。右図は、起動回路略図です。

起動するまでは、Vin 端子から Vcc 端子へ起動回路電流 $I_{cc(stup)}$ により右図 C109 を充電します。

Vcc 電圧が発振開始電圧 $V_{CC(start)}=12V(typ)$ に達すると発振が開始され、起動回路がオフし起動回路電流 $I_{cc(stup)}$ を止めます。Vcc 端子は、 $V_{CC(start)}$ で発振開始し、発振停止電圧 $V_{CC(stop stby)}=7V(typ)$ もしくは $V_{CC(stop normal)}=8V(typ)$ で発振停止するヒステリシスを持ち、また

Vcc 電圧をアシストする機能を持っていますので安全に起動させることができます。

バイアスアシスト機能については、3.1.3 項を参照してください。

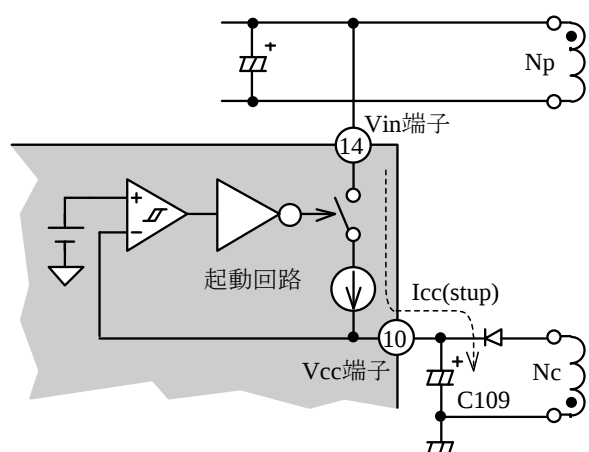


図 3.1.1 起動回路略図

3.1.2 ソフトスタート

起動時には、OCL レベルが 4 段階で変わり、それに伴って主スイッチに流れる電流は段階的に増加します。この動作により主スイッチに流れる電流の包絡線は 4step の形状になりソフトに立ち上がります。図 3.1.2 はソフトスタート概略図になります。

ソフトスタートの時間は $T_{ss1} \sim T_{ss3}$ で規定され、時間設定は IC 内部で決定しています。

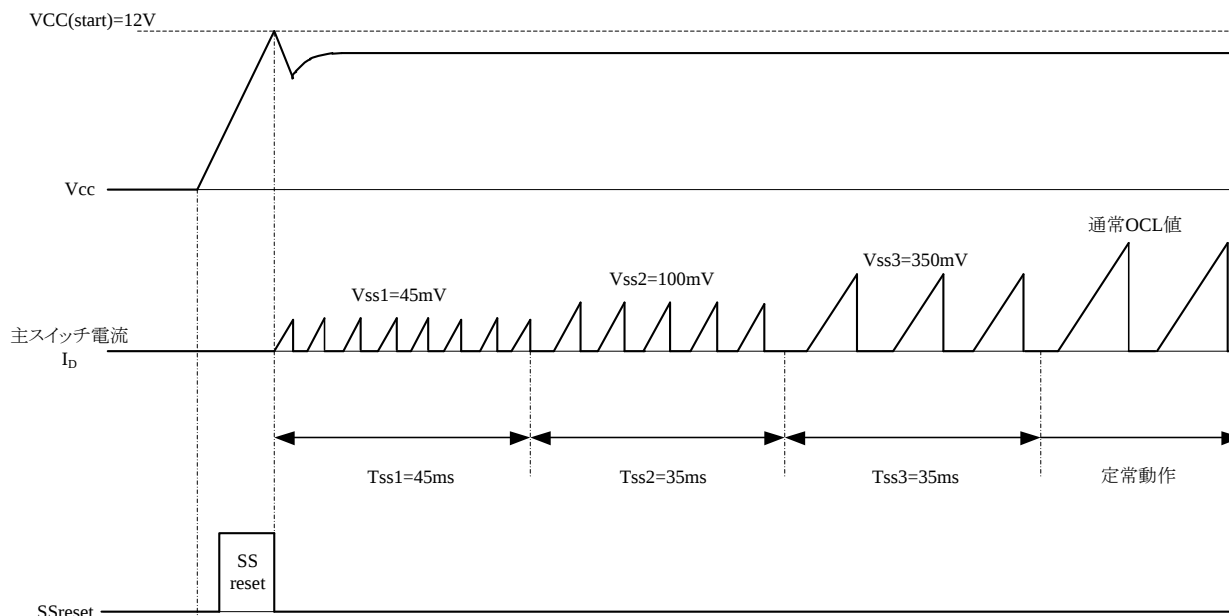


図 3.1.2 ソフトスタート

3.1.3 バイアスアシスト

起動時において、発振開始直後に V_{cc} 電圧が下がる過程で発振停止電圧 $V_{CC}(\text{stop stby})=7V(\text{typ})$ もしくは $V_{CC}(\text{stop normal})=8V(\text{typ})$ を下回り発振停止してしまわないように V_{cc} へエネルギーを供給するアシスト機能が内蔵されています。この機能により、起動時の発振停止期間がありません。

下図は、バイアスアシスト機能による V_{cc} の起動略図です。

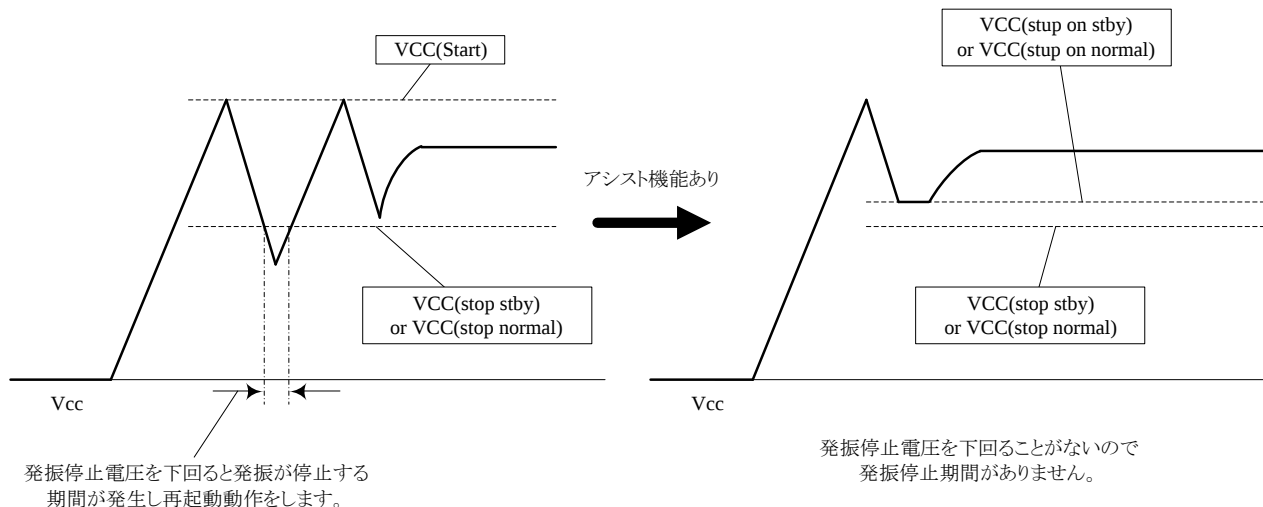


図 3.1.3 バイアスアシスト機能による起動

3.2 発振動作

3.2.1 オントリガ回路

MS1005/6SK は、エネルギー放出タイミングをコントロール巻線電圧 V_{NC} から検出し、主スイッチング素子をオンすることで電流臨界動作を行っています。

図 3.2.1 のように Z/C 端子電圧 $V_{Z/C}$ が立ち下がり (ネガティブエッジ) のゼロ検出電圧 $V_{Z/C}=0.25V$ (typ) に達するとゲート信号を出し、主スイッチング素子をオンさせます。

$V_{Z/C}$ が HIGH から LOW への移行時に検出するネガティブエッジ検出を採用することでノイズの影響を最小限に抑えています。また、 $V_{Z/C}=0.25V$ (typ) に対して $50mV$ のヒステリシスをもたせることにより、さらに耐ノイズ性を高めています。

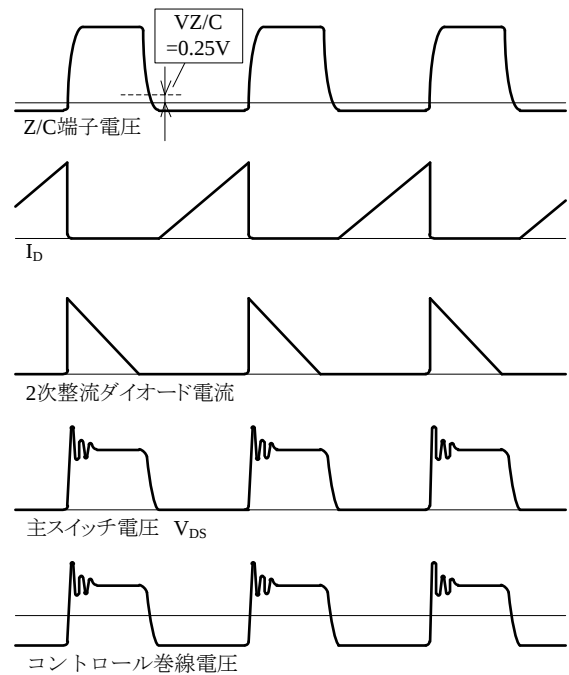


図 3.2.1 オントリガ動作

3.2.2 擬似共振動作

主スイッチング素子のドレインソース間に下図のように共振コンデンサを付加した回路において、2次側ダイオード電流が $0A$ になったときにメイントランスの1次インダクタンス L_p と共振コンデンサ C_q による共振周波数での減衰振動が始まります。

Z/C 端子に接続される下図 CR 時定数を調整することにより、減衰振動電圧の谷点で主スイッチング素子をターンオンさせることができます。

この擬似共振動作により、ターンオンロスを低減することができます。

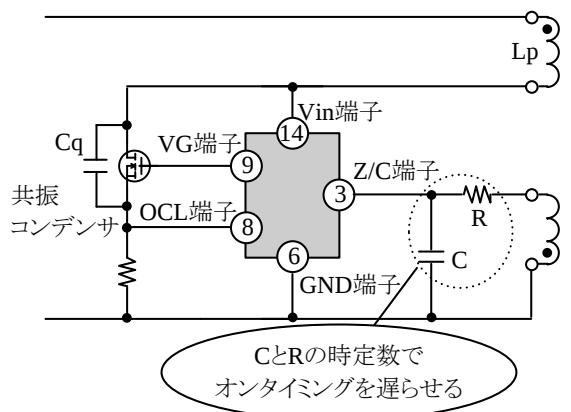


図 3.2.2-1 擬似共振回路

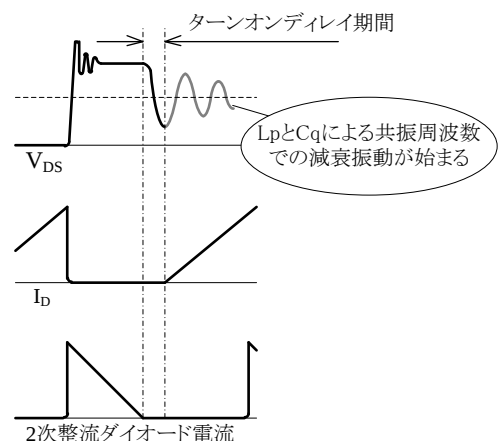


図 3.2.2-2 擬似共振動作

3.2.3 ソフトドライブ

ソフトドライブ回路により、ゲートドライブ電圧はオン直後に主スイッチのゲートしきい値を少し越えるトリガ電圧を与えます。その後、ドレイン電流に合わせたゲート電圧供給とする事で必要以上のゲート電圧供給を抑制しています。

この動作により急峻なゲートチャージ電圧による損失低減、無負荷時の無効電荷削減及び共振コンデンサ放電電流のダンピングを抑制し、ノイズを低減させます。

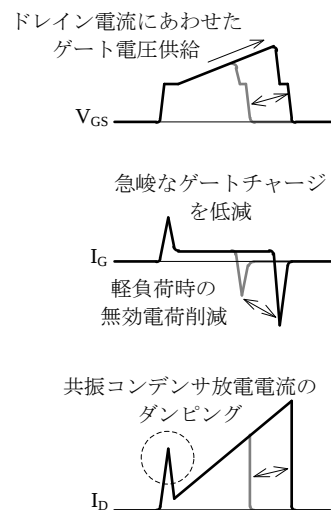


図 3.2.3 ソフトドライブ

3.2.4 谷飛び動作

MS1005/6SK は発振周波数の上昇を抑制し軽負荷時効率を改善する自動谷飛び機能を有します。MS1005/6SK の擬似共振モードと谷飛びモードの切り替えは、「主スイッチング素子がターンオンしてから 1 回目の V_{DS} 谷点までの時間 $T(\text{bottom})$ 」を監視することで行っております。擬似共振モードから谷飛びモードへは、 $T(\text{bottom})$ が谷飛び開始周期 $T(\text{bottom skip start})=7.7\mu\text{s}(\text{typ})$ 以下になると切り替わります。また、谷飛びモードから擬似共振モードへは、 $T(\text{bottom})$ が谷飛び停止周期 $T(\text{bottom skip stop})=14.3\mu\text{s}(\text{typ})$ 以上となった時に擬似共振モードに切り替わります (図 3.2.4 参照)。

この様に谷飛び開始・解除時にヒステリシスを確保する事により、波形バタツキや音鳴きの対策を行っています。

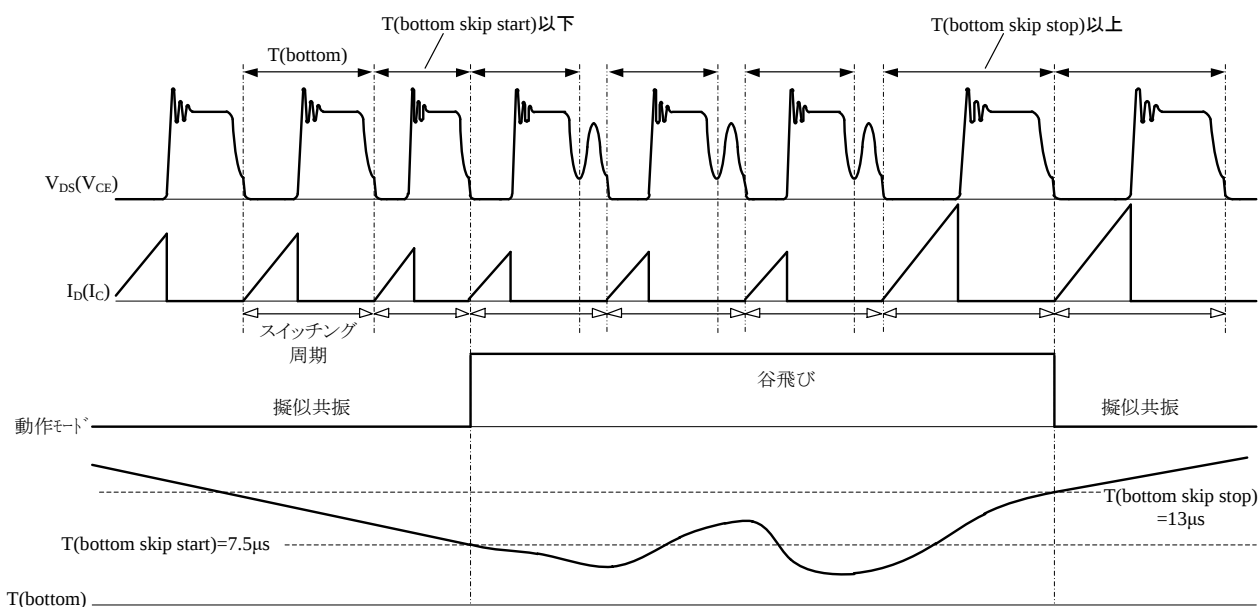


図 3.2.4 MS1005SK の谷飛びシーケンス

下記の通り、MS1005SK と MS1006SK では谷飛び回数が異なります。

- ・ MS1005SK は、1 回谷飛びモード（共振 1 周期分延長するので、谷点 2 回目オン）
- ・ MS1006SK は、2 回谷飛びモード（共振 2 周期分延長するので、谷点 3 回目オン）

3.2.5 出力電圧制御

MS1005/6SK は、F/B 端子電圧 $V_{F/B}$ に比例したオン幅で出力電圧を制御しています。

$V_{F/B}$ が 1.5V の時に F/B オン幅が最小となり、4.5V の時に F/B オン幅が最大となるようにリニアに制御されます。F/B 端子からは IF/B を流出しており、F/B-GND 端子間に外部接続されるフォトカプラトランジスタのインピーダンスが、2 次側出力検出回路からの制御信号により変化することで、主スイッチング素子のオン幅を制御し、出力電圧を定電圧制御しています。

また、F/B 端子にはラッチカウント開始電圧 $V_{F/B}(\text{latch count})=4.6\text{V}(\text{typ})$ が設定されており、この電圧以上になるとタイマーが動作し始めます。この状態を(ラッチカウント $T(\text{latch count})=2\text{s}(\text{typ})$)維持すると IC はラッチ停止します。

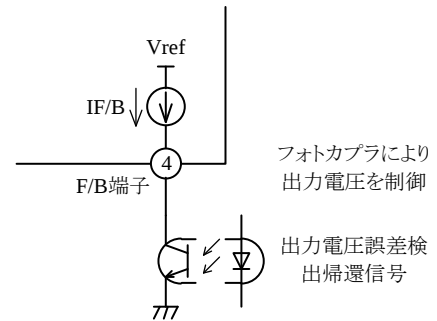


図 3.2.5-1 F/B 端子(F/B 定電流源)

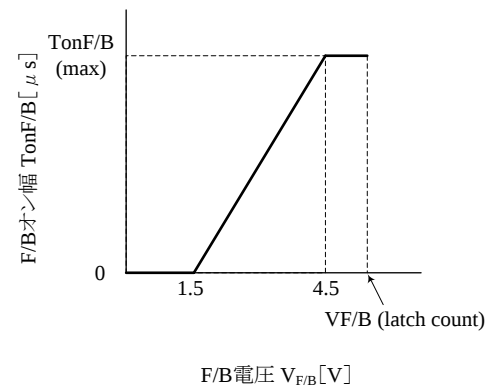


図 3.2.5-2 F/B オン幅、F/B 電圧

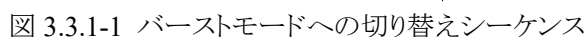
3.3 バーストモード発振動作

3.3.1 オートバースト（自動スタンバイ）

MS1005/6SK は、ノーマルモードとバーストモードを自動で切り替えるため、スタンバイ用の外付部品を追加する事なく、スタンバイ時の低消費電力化が実現できます。

1) ノーマルモードからバーストモードへの切り替え動作

軽負荷時において、ドレイン電流を電流検出している OCL 端子電圧 V_{OCL} が、スタンバイ切替電圧 $V_{OCL}(\text{stby})=45\text{mV}(\text{typ})$ 以下になっている状態を、スタンバイ切替時間 $T_{\text{stby}}=230\text{ms}(\text{typ})$ 継続させると、ノーマルモードからバーストモードへ自動で切り替わります。

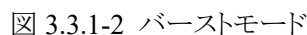


バーストモードでは、 $VOCL(stby)=45mV(typ)$ 以下になっている V_{OCL} を強制的にスタンバイ電流しきい値 $V_{TH}(stby)=57mV(typ)$ で毎パルス制御します。強制的に $V_{TH}(stby)$ で制御されることで出力電圧および $V_{F/B}$ にはリップルが発生します。リップルを持った $V_{F/B}$ が発振開始電圧 $V_{F/B}(stby\ start)=1.8V(typ)$ を上回ってから発振停止電圧 $V_{F/B}(stby\ stop)=0.8V(typ)$ を下回るまで発振させ、 $V_{F/B}(stby\ stop)$ を下回ってから $V_{F/B}(stby\ start)$ を上回るまで発振を停止し、出力電圧を制御します。この制御により出力電圧および $V_{F/B}$ にリップルを持たせて間欠発振を行い、単位時間当たりのスイッチング損失を削減する事でスタンバイ時の消費電力低減を行っています。

○発振停止電圧、起動回路オン電圧は、それぞれノーマルモードからしきい値が 1V 下がります。

VCC(stup on normal)=9V(typ) → VCC(stup on stby)=8V(typ)

スタンバイ時の Vcc 設定の調整をし易くする事で更なる消費電力の削減が可能になります。



負荷が重くなり V_{FB} が上昇し、スタンバイ解除 F/B 電圧 $V_{FB}(\text{stby reset})=3V(\text{typ})$ を越えると、ノーマルモードへ自動切り替えを行います。バーストモードからノーマルモードへ切り替わるとスタンバイ時に切り替えていた各しきい値が戻ると共に通常起動の約 1/70 の時間 ($T_{ss}(\text{stby return})1,2,3$) にソフトスタートがかかり、切り替え時の波形バタツキ等を抑えています。

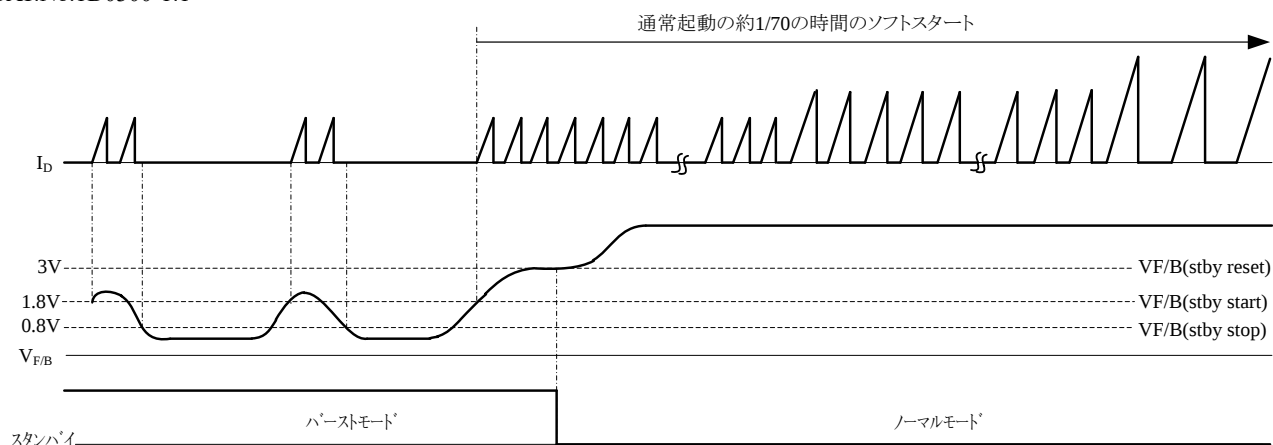


図 3.3.1-3 ノーマルモードへの切り替え

3.3.2 ウルトラスタンバイ(UT)モード

ウルトラスタンバイ(UT)モードは、微小負荷領域における電源損失を最小限に抑える間欠発振モードです。この機能を使うことにより入力電力を非常に低く抑えられます。UT モードは外部信号による LOW/HIGH で確実に切り替わり、UT 端子電圧が LOW のときオートバーストモードになり、HIGH のとき UT モードとなります。図 3.3.2-1 ではフォトカプラの ON/OFF 制御信号により、確実に UT 端子が LOW/HIGH に切り替えられます。

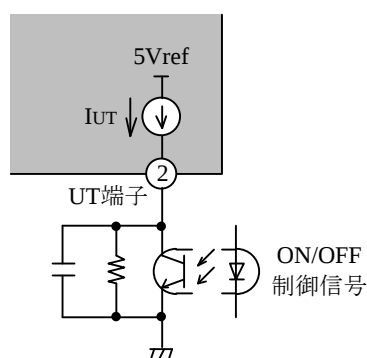


図 3.3.2-1 UT 端子回路例

1) UT モードへの切り替えシーケンス

UT モードへは UT 端子を HIGH にすることで、切り替えられます。

図 3.3.2-2 に UT モードへ切り替わるシーケンスを示します。UT 端子に HIGH 信号が送られると UT 端子電圧が上昇し、UT スタンバイ解除電圧 $V_{UT(reset)}=0.8V(\text{typ})$ 以上になると発振を停止します。この UT 端子電圧が上昇するときの UT 充電電流は $I_{UT1}=50\mu A(\text{typ})$ と $I_{UT2}=315\mu A(\text{typ})$ の 2 段階になります。 I_{UT1} が小さいことで、ノーマルモードの UT 端子で損失が抑えられ、 I_{UT2} が大きいことで、より早く V_{CC} 電流が減少するので、MS1005/6SK の消費電力を抑えられます。 UT 充電電流は UT 端子電圧が UT スタンバイ充電電流切替わり電圧 $V_{UT(charge)}=0.9V(\text{typ})$ 以下では I_{UT1} に、 $V_{UT(charge)}=0.9V(\text{typ})$ 以上では I_{UT2} に変化します。なお、UT 端子電圧が V_{CC} カットオフ電圧 $V_{UT(vcc \text{ cut off})}=4.5V(\text{typ})$ に達すると起動回路が停止し、 V_{CC} 電流がオートスタンバイ時の約 1/200 に減少し MS1005/6SK の消費電力が削減されるので電源消費電力を抑えられます。

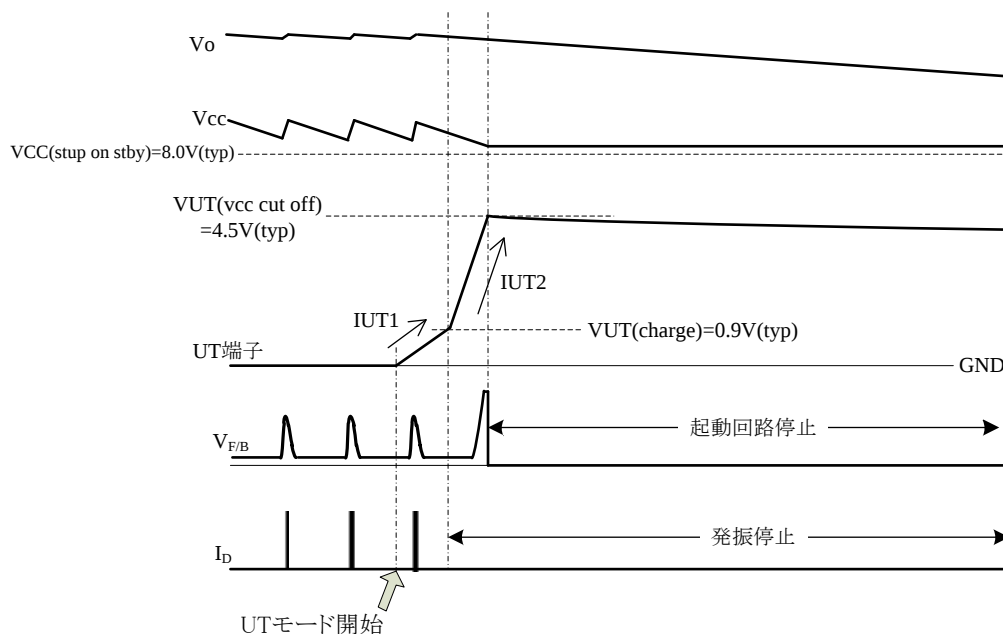


図 3.3.2-2 UT モード開始シーケンス

2) UT モード解除シーケンス

UT モードからオートバーストモードへの切り替えは UT 端子電圧を LOW にすることで、切り替えられます。

図 3.3.2-3 に UT モードを解除するシーケンスを示します。UT 端子に LOW 信号が送られると UT 端子電圧が低下し、UT スタンバイ解除電圧 $V_{UT}(\text{reset})=0.8\text{V}(\text{typ})$ 以下になり、発振停止・起動回路停止状態が解除されて発振します。UT 端子電圧を $V_{UT}(\text{reset})$ 以下に維持することで、UT モードが解除され、オートバーストモードとなります。

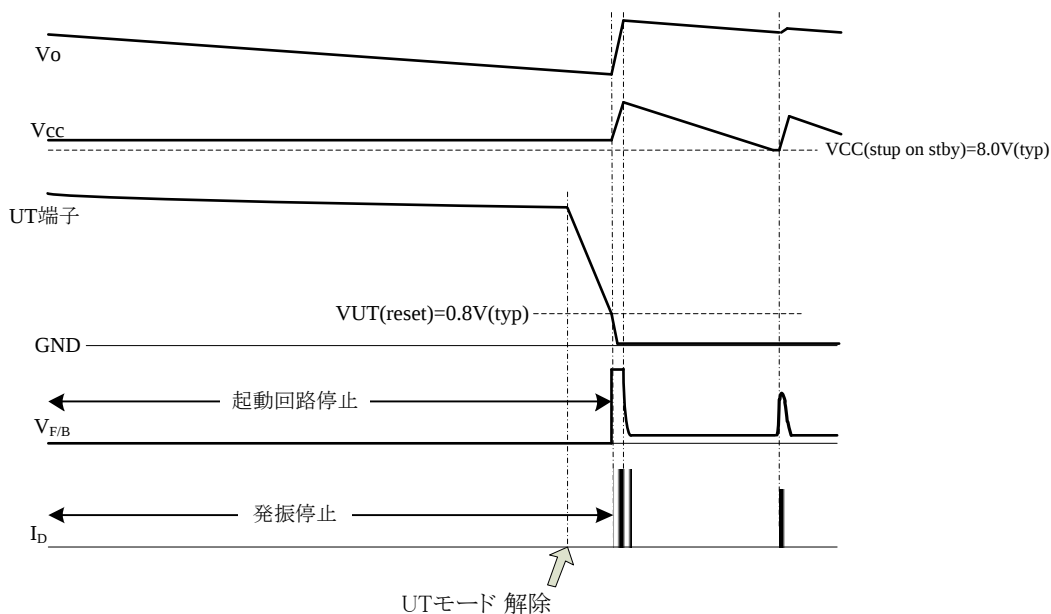


図 3.3.2-3 UT モード解除シーケンス

3) UT モード動作シーケンス

UT モードでは、出力電圧上下限制御となります。

図 3.3.2-4 に UT モード時のシーケンスを示します。UT 端子信号が HIGH で、UT 端子電圧が VUT(vcc cut off)に達すると、発振停止・起動回路停止状態を維持するため、出力電圧は降下します。出力電圧が下がり続けると、下限設定値(V_{o_min})にて出力電圧下限値を検出し、UT 端子に LOW 信号（例えば GND ショート）を入れることにより、UT 端子電圧が急降下します。そして UT 端子電圧が VUT(reset)以下となると、発振停止、起動回路停止が解除され発振が始まり、出力電圧が通常のレギュレーション電圧値まで上昇します。このとき、通常起動の約 1/4.5 の時間($T_{ss}(UT\ return)$ 1,2,3)でのソフトスタートとなります。出力電圧が通常レギュレーション電圧値に達すると同時に、出力電圧上限検出回路で検出され、UT 端子に HIGH 信号を入れることで UT 端子電圧が上昇開始します。このとき UT 端子電圧は HIGH 信号に対し遅れて上昇するので、UT 端子電圧が VUT(reset)を下回り VUT(reset)に達するまでの期間が存在し、この期間は発振します。UT 端子電圧が上昇し、VUT(reset)を超えると発振停止し、VUT(vcc cut off)に達すると前述の UT モードへの切り替え時のシーケンスと同様の動作となります。

上記シーケンスを繰り返すことで出力電圧は上下限制御されます。なお発振停止時に MS1005/6SK の消費電流（VCC 電流）を $ICC(UT\ stby)=10\mu A(max)$ まで抑え込んでおり、Vcc 電圧が殆ど下がらないので発振開始時に起動回路は動作せず、起動回路による損失がないため、より入力電力が抑えられます。

出力電圧下限を制御する検出回路については 7 項を参照してください。

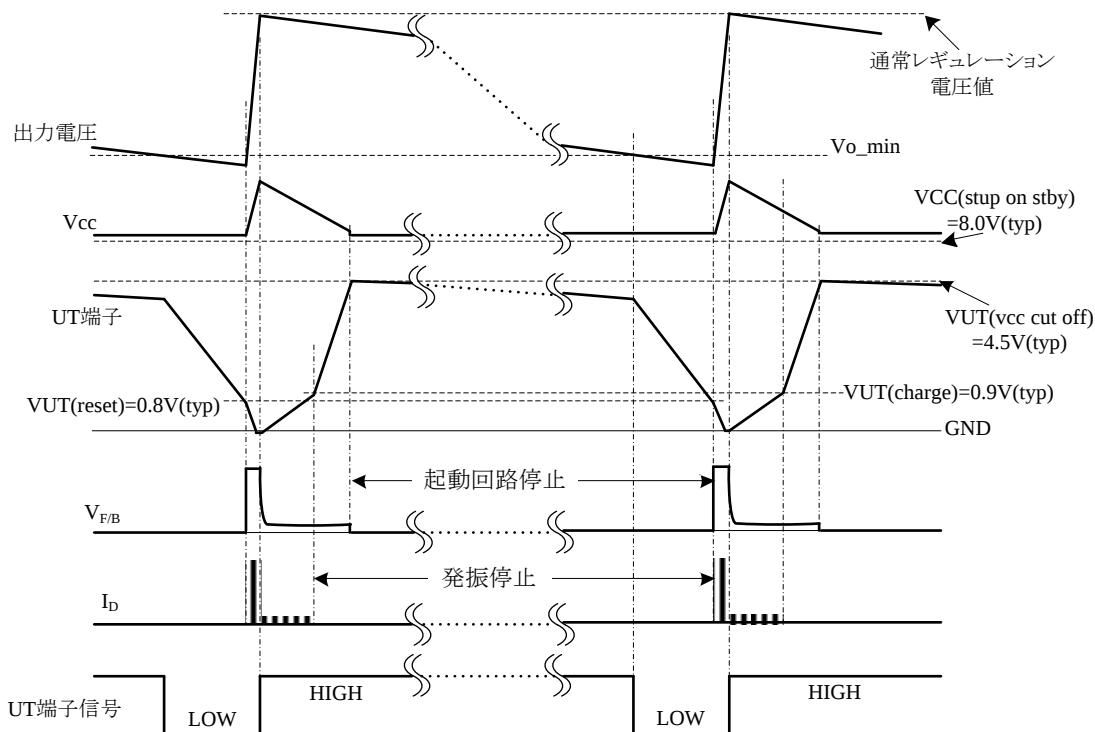


図 3.3.2-4 UT モード動作シーケンス

3.4 保護機能

3.4.1 Vcc 過電圧保護(OVP)

MS1005/6SK には過電圧保護回路(OVP)が搭載されています。

Vcc 電圧が過電圧ラッチ電圧 $VOVP=26V(\text{typ})$ を越えることでラッチし、間接的に 2 次側出力の過電圧保護を行います。ラッチ解除は Vcc 電圧をラッチ解除電圧 $VUL=3.2V(\text{typ})$ 電圧以下に下げることで行います。

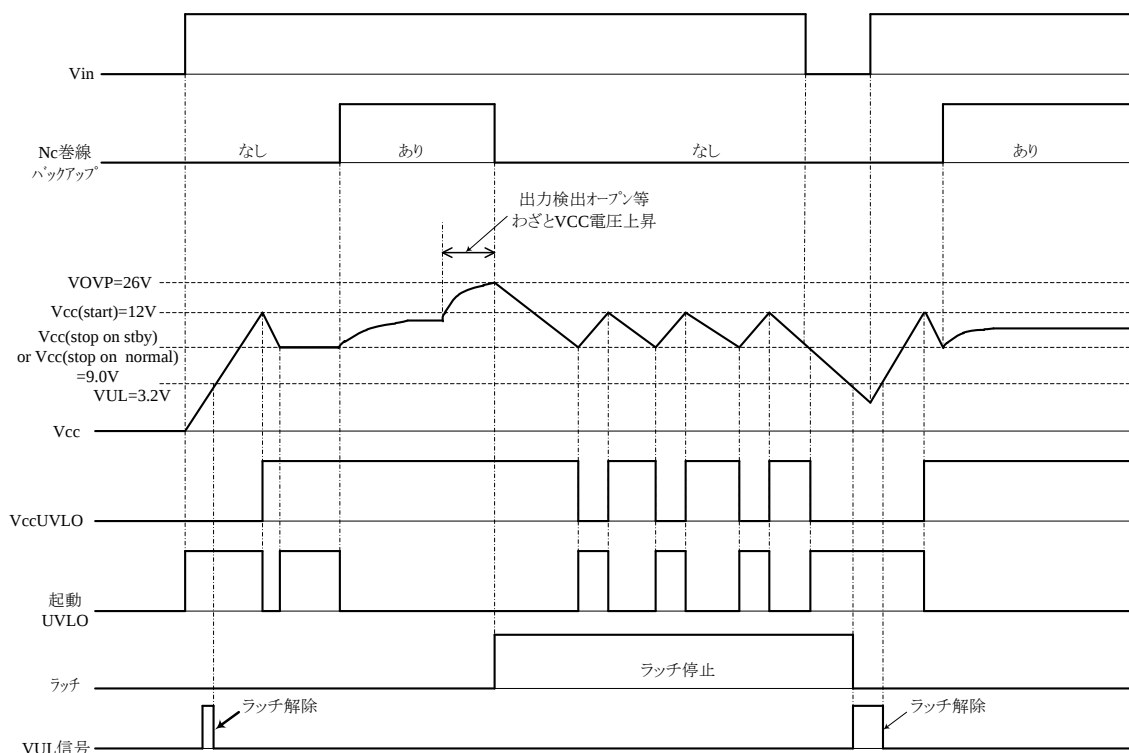


図 3.4.1 Vcc 過電圧保護

3.4.2 過電流保護(OCP)

OCL-GND 端子間に電流検出抵抗を接続することで主スイッチング素子のソース電流を検出し、オン幅によって決定されるしきい値電圧により、パルス・バイ・パルス動作で主スイッチング素子の電流制限を行います。

この電流制限保護機能には、入力電圧依存を補正する機能が内蔵されており、IC 内部の OCL しきい値を時間とともに V_{TH} ($OCL\ start$)= $0.38V(\text{typ}) \Rightarrow V_{TH}(OCL)\text{clamp}=0.54V(\text{typ})$ にリニアに変化させています。主スイッチング素子のドレイン電流の傾斜(di/dt)は、入力電圧 V_{in} に比例することから、 V_{in} が高くなるとより小さな I_{DP} で OCL しきい値に達するようになり垂下が補正されます。

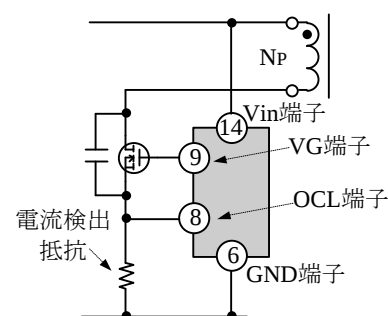


図 3.4.2-1 過電流検出回路

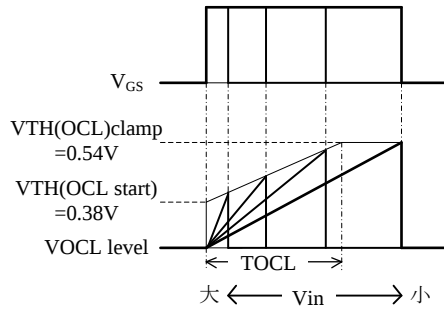


図 3.4.2-2 過電流検出レベル

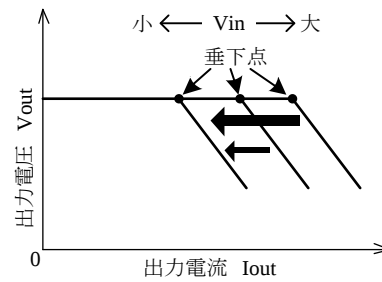


図 3.4.2-3 過負荷特性

3.4.3 過負荷保護(タイマーラッチ)

過負荷タイマーラッチ機能は、 $V_{F/B}$ がラッチカウント開始電圧 $V_{F/B(latch count)} = 4.6V$ (typ) 以上となる状態をラッチカウント $T(latch count) = 2s(typ)$ 以上継続カウントした時にラッチ停止する保護機能です。

過電流リミット $V_{TH(OCL)}$ で設定された垂下電力以上の電力を取ると、電力制限保護により、出力電圧が下がり始め、 $V_{F/B}$ は制御範囲を超えて上昇し、 $V_{F/B(latch count)} = 4.6V(typ)$ 以上になります。この電圧値を検出する事によりタイマーのカウントが始まります。

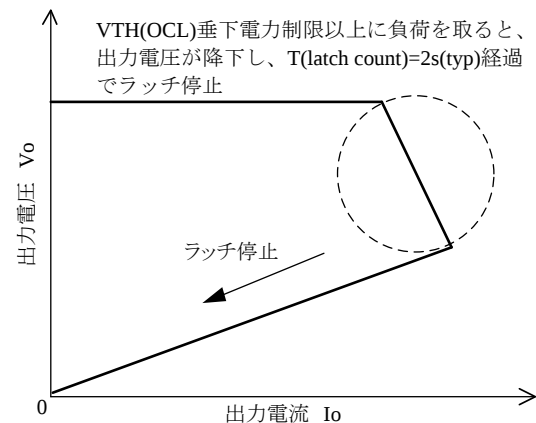


図 3.4.3-1 過負荷保護動作

$T(latch count) = 2s$ 以上継続カウントしラッチ停止する事で過負荷状態が継続することを防止し、2秒というロングタイマーにより誤検出を防止しています。カウント中は $V_{F/B}$ が $V_{F/B(latch count)} = 4.6V$ 未満となるか、 V_{cc} 電圧が V_{UL} 以下になれば、カウントがリセットされます。また、ラッチ停止後は IC の発熱を軽減させるため起動回路のバイアスアシスト機能を停止させます。

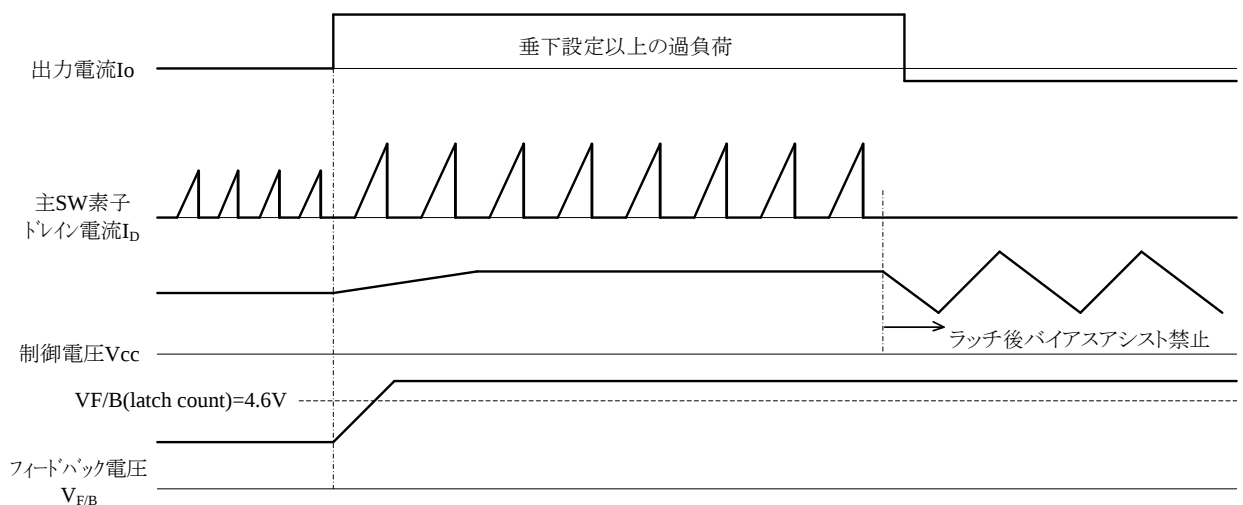


図 3.4.3-2 過負荷保護(ラッチ停止)

3.4.4 Vcc-GND 短絡保護

Vcc-GND を短絡すると、起動回路に電流が流れ続けるため MS1005/6SK が発熱してしまいます。この状態を回避するため短絡時に VCC 電流 I_{cc} を低減する機能が内蔵されています。このことにより Vcc-GND 短絡時の過大な発熱を抑えることができます。

3.4.5 リーディングエッジブランク (LEB)

MS1005/6SK には主スイッチング素子がオンしてから一定時間ドレイン電流検出回路からのトリガ信号を受け付けない期間を設定し、ノイズマージンを上げる機能“リーディングエッジブランク TLEB=300ns”を搭載しています。これにより、主スイッチング素子がオンする瞬間のゲートドライブ電流や、共振コンデンサの放電電流による誤検出を防ぎます。

3.4.6 オントリガ誤動作防止回路(Tondead)

起動・負荷短絡時には、出力電圧が設定電圧より極端に小さくなるので、出力電圧に比例したコントロール巻線電圧も非常に小さい値となり、オフ時のリンギング電圧によりオントリガタイミングを誤検出し、電流臨界点よりはやくオンしてしまう可能性があります。それを防ぐためにオントリガ誤動作防止回路を内蔵しています。

この機能は、主スイッチング素子がオフしてからオントリガを禁止する期間 $T_{ondead}=2\mu s$ を設けることで、オフ時のリンギング電圧による誤検出を防止します。

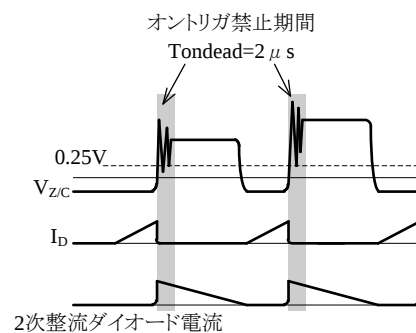


図 3.4.6 オンデッドタイム

3.4.7 過熱保護(TSD)

MS1005/6SK には過熱保護回路 (サーマルシャットダウン) が搭載されています。IC が 150°C (typ) 以上になるとラッチし、発振動作を停止します。

ラッチ解除は Vcc 端子電圧を VUL (ラッチ解除電圧) 以下に一旦下げることで行います。

4 各端子の機能

4.1 UT 端子

UT モードを動作させるための端子です。

4.2 Z/C 端子

Z/C 端子は、NC 巻き線電圧を検出しターンオン信号を出す端子であり、次の機能を持ちます。

- 1) ゲートオントリガ
- 2) 谷飛び機能
- 3) オントリガ誤動作防止機能(Tondead)

4.3 F/B 端子

F/B 端子は、定電圧制御におけるオン幅を決定する端子であり、次の機能を持ちます。

- 1) F/B 端子電圧に対するオン幅を決定(ゲートオフトリガ)
- 2) 無負荷時のラッチ停止保護動作
- 3) リーディングエッジブランク機能

4.4 FC 端子

弊社テスト用端子です。必ず GND 端子に接続しご使用下さい。

4.5 GND 端子

MS1005/6SK のグラウンド基準となる端子です。

4.6 OCL 端子

検出抵抗を用いて 1 次電流制限をする端子であり、次の機能を持ちます。

- 1) 4step ソフトスタート時の 1 次電流ピーク値を決定
- 2) 自動スタンバイ時の 1 次電流ピーク値を決定
- 3) 最大 1 次電流ピーク値を決定 (パルスバイパルス方式)
- 4) リーディングエッジブランク機能

4.7 VG 端子

ゲート電圧を出力する端子であり、次の機能を持ちます。

- 1) ゲート信号出力
- 2) ソフトドライブ

4.8 Vcc 端子

MS1005/6SK の電源端子であり、次の機能を持ちます。

- 1) UVLO 機能
- 2) 起動回路のオン・オフ
- 3) Vcc バイアスアシスト
- 4) Vcc 過電圧保護(OVP)
- 5) ラッチ動作解除
- 5) Vcc-GND 短絡保護

4.9 Vin 端子

入力コンデンサの正側へ接続し、MS1005/6SK を起動させる端子です。

5 各端子の設計

5.1 UT 端子(2 番端子)

本項で紹介している動作モード切り替え回路は、2 次側より信号を受けるフォトカプラを使った回路です。2 次側回路構成については” 1.4(1) 基本回路構成例” 及び 7 項をご参照ください。

5.1.1 標準回路

図 5.1.1 は、UT モードを使う時の当社標準回路です。UT 端子を HIGH レベルと LOW レベルに切り替えができるようにフォトカプラを付加した回路となります。フォトランジスタが ON 時は LOW レベルとなるので発振し、OFF 時には HIGH レベルとなり発振を停止させます。このようにフォトランジスタの ON/OFF に合わせて間欠発振を行います。

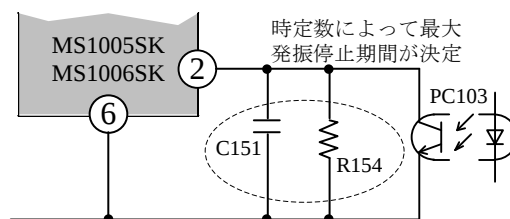


図 5.1.1 UT 端子標準回路

また、C151, R154 の時定数によって最大発振停止期間が決定します。初期設定値として、C151:22 μ F、R154:4.7M Ω +4.7M Ω (直列)を使用ください。

5.1.2 部品追加による UT モード強化

図 5.1.2 回路は図 5.1.1 回路に部品を追加します(点線枠内)が、更なる省電力化に有効となる回路例です。

UT モード時に於いて本回路を追加することにより UT 端子の充電期間を狭くすることできるので、発振期間を短くし、より消費電力を削減できます。図 5.1.1 から追加した部品は、D501, R501, C502 となり、それぞれ初期値として D501: D1NL20U(200V/1A)、R501:10k Ω 、C502:

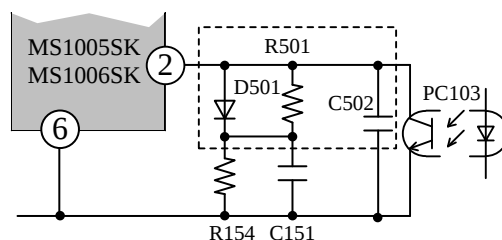


図 5.1.2 UT モード強化回路

1000pF を設定ください。また、本回路によって、UT 端子電圧の放電時間も短くでき、出力電圧下限値をより設定値に近い値に設定できるようになります。

5.1.3 UT モード不使用時

UT モードを使用しない場合は、UT 端子を LOW レベルに保持しなければならないので、図 5.1.3 のように UT 端子を GND ショートにします。図 5.1.3 はノーマルモードのみ使用する最も簡単な回路構成です。オートバーストモードは動作しますので最も簡単にスタンバイ対応電源を構成できます。

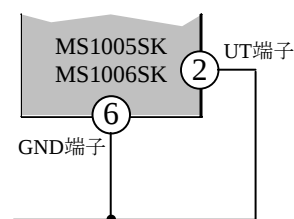


図 5.1.3 オートバースト回路

CAT.No.1D0300-1.1

5.2 Z/C 端子(3 番端子)

5.2.1 標準回路

図 5.2.1 が、基本回路になります。各部品の定数については、下記 1),2)項を参照ください。

1) R109+R111

Z/C 端子の絶対最大定格は、 $\pm 5\text{mA}$ となっています。
Z/C 端子(3 番端子)-GND 端子(6 番端子)間には保護用ツェナダイオードが内蔵されており、このダイオードによって絶対最大定格電流が決定されています。抵抗値は、この電流値を超えないように設定しなければなりません。

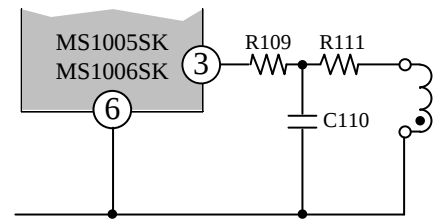


図 5.2.1 Z/C 端子基本回路

図 5.2.2 は、基本回路に内蔵保護素子(保護用ツェナダイオード)を書き加えたモデル回路です。この内蔵保護素子に流れる電流を $I_{①}$ ・ $I_{②}$ とします。

$I_{①}$ は、Nc 巻線出力がプラス電圧の時に流れる電流、 $I_{②}$ は、Nc 巻線出力がマイナス電圧の時に流れる電流です。

この $I_{①}$ ・ $I_{②}$ を、絶対最大定格以下に設定する必要があります。通常設計においては絶対最大定格の 80% マージン($\pm 4\text{mA}$)以下になるように抵抗値を設定します。

R109+R111 の抵抗値を求める計算式を 5.1,2 式に示します。

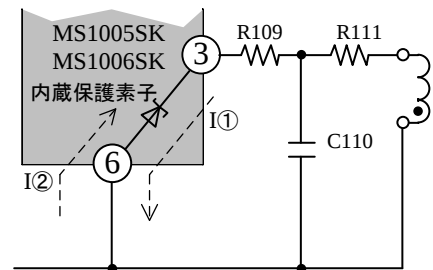


図 5.2.2 Z/C 端子基本回路
(内蔵保護素子)

5.1	Nc 巻線の+側電圧を考慮した場合の抵抗値	$R109 + R111 \geq \frac{\frac{Nc \cdot (V_{O1} + V_{F1})}{N_{S1}} - VCL(H)}{I_{①}}$	[Ω]
5.2	Nc 巻線の-側電圧を考慮した場合の抵抗値	$R109 + R111 \geq \frac{\frac{Nc \cdot V_{DC(max)}}{Np} - VCL(L)}{-I_{②}}$	[Ω]

VCL(H)及び VCL (L) は、保護用ツェナダイオードである内蔵保護素子のクランプ電圧で、仕様書において規定されています。

CAT.No.1D0300-1.1

2) R111 と C110

擬似共振期間 t_q を設定する部品です。実機波形を見ながら擬似共振谷点に合わせるよう調整してください。

記号	設計初期値
C110	100pF
R111	可変抵抗 1k Ω 以上

また、5.3 式の通り C110 の両端に掛かる最大電圧が計算されます。算出値を参考に C110 の耐圧を決定してください。

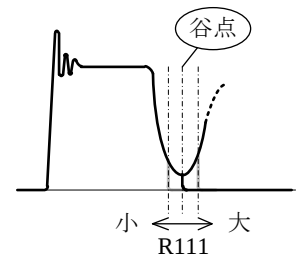


図 5.2.3 擬似共振谷点に調整

5.3	C110 の両端に掛かる 最大電圧 V_{C110}	$V_{C110} = (V_{O1} + V_{F1}) \frac{N_c}{N_{s1}} + V_{DC(max)} \frac{N_c}{N_p}$	[V]
-----	---------------------------------	---	-----

5.3 F/B 端子(4 番端子)

5.3.1 標準回路

図 5.3.1 が、基本回路になります。

PC101 は定電圧制御用のフォトカプラ、R108 と C108 はノイズ対策部品です。

C108 は 470pF~2200pF 程度ですが、設計初期値として 1000pF としてください。

R108 は、39k Ω ~47k Ω が設定値となりますが、通常は 47k Ω 固定としてください。39k Ω 以下ではタイマーラッチ機能が無効になる可能性がありますので注意してください。

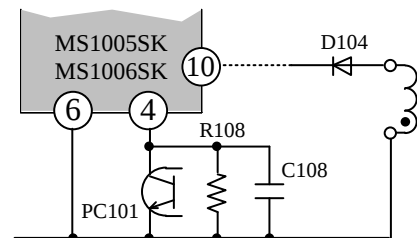


図 5.3.1 F/B 端子基本回路

5.3.2 アブノーマル対策回路

ショート試験において、PC101 の絶縁破壊が問題になることがあります。その場合には図 5.3.2 のようにツェナダイオードで保護してください。10V 以上のツェナダイオードであれば通常動作において IC 機能への影響はありません。

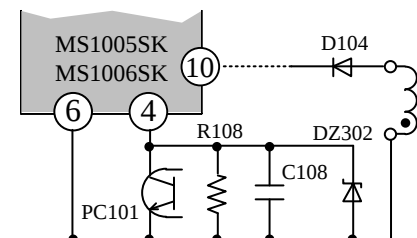


図 5.3.2 フォトカプラ用
アブノーマル対策回路

5.3.3 F/B 端子の位相補償について

C108 は、ノイズ対策用としてではなくフィードバック応答を調節する役割もあります。しかし、電力の大きな電源や多出力電源では 2 次側制御回路の位相補償だけでは対応出来ない場合があります。

このような場合には、図 5.3.3 のように F/B 端子-GND 端子間に抵抗とコンデンサを付加してください。

この方法によってハンチング等が対策できる場合があります。次頁表を参考に定数を決定してください。

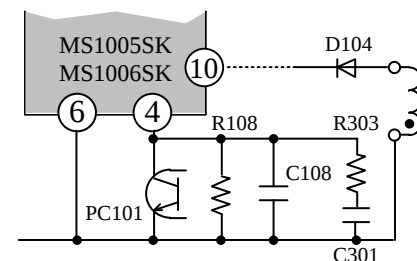


図 5.3.3 F/B 端子位相補償回路

記号	設計初期値
R303	4.7k Ω
C301	0.1 μ F

5.3.4 F/B 端子への付加回路について

セット負荷の設定条件などから電源回路に回路を付加する場合、過負荷保護機能が無効化されないよう考慮してください。電源性能に悪影響を及ぼしますので過電流リミットを無効化するような使い方はご遠慮ください。

5.4 OCL 端子(8 番端子)

5.4.1 標準回路

図 5.4.1 が基本回路となります。

1 次側電流検出を行う R114 及び R153 と C152 によるフィルタ回路から構成されています。

R114 (R(ocl)) : 6 項の 6.41,45 式より求められます。

トランスの設計と併せてご確認ください。

C152 : 設計初期値として 220pF。推奨設計範囲 : 220~3300pF。

R153 : 設計初期値として 100 Ω 。推奨設計範囲 : 100~470 Ω 。

スイッチングノイズが大きく、誤動作を誘発する場合には定数を大きくして対策します。

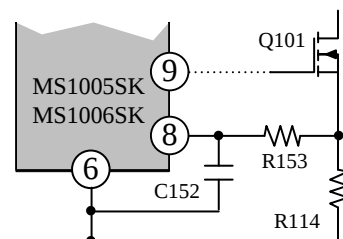


図 5.4.1 OCL 端子基本回路

5.4.2 大電力時

大きな出力電力時などスイッチングノイズが大きな場合では、OCL 端子に大きなマイナス電圧がかかる場合があります。MS1005/6SK は単電源用制御 IC なので、誤動作のみならず IC を壊してしまう場合があります。

図 5.4.2 は、マイナス電圧が印加されないように対策した回路です。この対策により OCL 端子を保護することができます。付加ダイオード D301 は、 V_F の小さいもの(ショットキーバリアダイオード推奨)を選び出来るだけ端子直近に接続します。

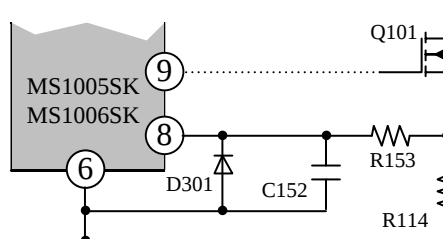


図 5.4.2 OCL 端子
ノイズ対策回路

5.5 VG 端子(9 番端子)

5.5.1 標準回路

VG 端子は、スイッチング信号を出力する端子で主スイッチング素子が電圧駆動素子であれば使用することができます。

図 5.5.1 は基本構成回路図です。初期設計値としてゲート抵抗 R151 は 10Ω 、ゲートソース間の抵抗 R152 は $33k\Omega$ を使用してください。

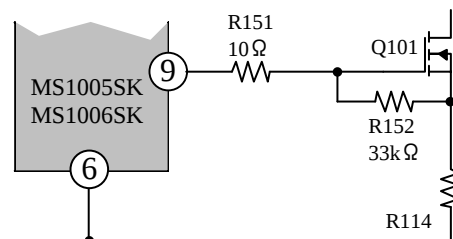


図 5.5.1 VG 端子基本回路

5.5.2 駆動回路が必要な回路

MS1005/6SK の主スイッチング素子駆動能力は仕様書に記載されている電気的・熱的特性”ソフトドライブ”の項目に記載されている規格値になります。従って、5.5.1 項の基本回路で VG 端子が直接駆動できない主スイッチング素子を使用する場合には図 5.5.2 のような VG 端子と主スイッチング素子の間に駆動能力を上げる回路が必要になります。

定数設定は、図 5.5.2 を参考に決定してください。

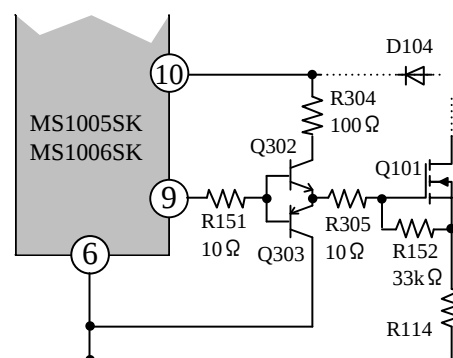


図 5.5.2 VG 端子追加駆動回路

主スイッチング素子のゲート全電荷量 “Qg” を目安にすると駆動回路の有無が判断できます。

主スイッチング素子の $Q_g > 20nC \sim 25nC$	駆動回路必要
主スイッチング素子の $Q_g < 20nC$	駆動回路なし

5.5.3 大電力時

主スイッチング素子を 2 個以上使わなければならないような電源回路では、図 5.5.3 のように駆動回路を設計します。図 5.5.3 は、主スイッチング素子を 2 個使う場合ですが 3 個以上の場合でも図 5.5.3 を参考に主スイッチング素子を並列に接続します。定数は下図の定数を初期設計値として評価検討してください。

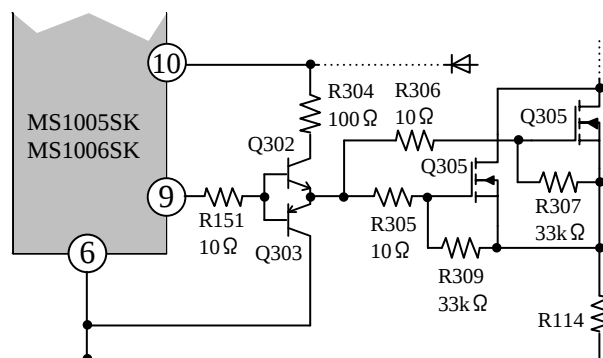


図 5.5.3 VG 端子大電力駆動回路

CAT.No.1D0300-1.1

5.6 Vcc 端子(4 番端子)

5.6.1 標準回路

図 5.6.1 が基本回路です。Nc 巻線出力を整流する D104 と C109、Vcc-GND 間のノイズ対策部品 C501 で構成されます。

C501 には周波数特性のよいコンデンサを使用し、0.1 μ F 前後で設計してください。

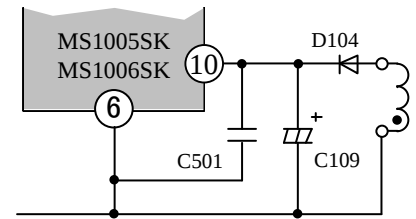


図 5.6.1 Vcc 端子ノイズ対策

5.6.2 Vcc 電圧のレギュレーション対策①

負荷仕様など設計条件によって、Vcc 電圧のレギュレーションが悪い場合は図 5.6.2 のように R113 を追加します。レギュレーションを改善する最も安価な対策方法になります。図 5.6.3 は、出力電力に対する Vcc 電圧のレギュレーションのモデル図です。細線は、5.6.1 項の基本構成における Vcc 電圧レギュレーションです。この対策により、太線へ改善できます。

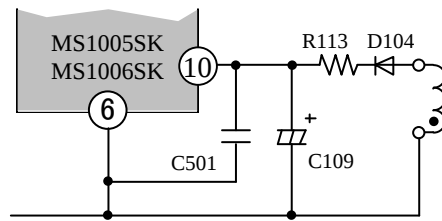


図 5.6.2 Vcc レギュレーション対策①

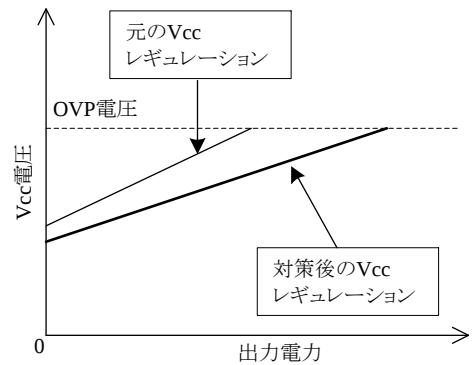


図 5.6.3 Vcc 電圧変移

5.6.3 Vcc 電圧のレギュレーション対策②

5.6.2 項より対策効果の高い対策回路に図 5.6.4 が挙げられます。

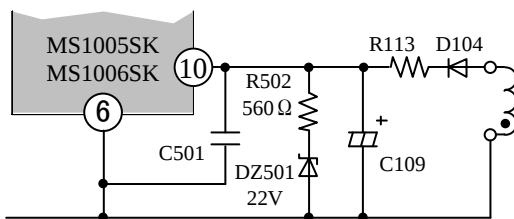


図 5.6.4 Vcc レギュレーション対策②

記号	初期設計値	推奨値
R502	560 Ω	220 Ω ～1k Ω
DZ501	18V	16V～22V

※R502 の損失量にはご注意ください

この対策により、図 5.6.5 のように細線に対して太線のようにレギュレーションが改善します。

DZ501 の電圧設定値は、右図の DZ501 の動作点になります。また、この対策回路は微小負荷、軽負荷時において損失がありませんので UT モード、オートバーストモードを使用する場合に最も有効な回路です。

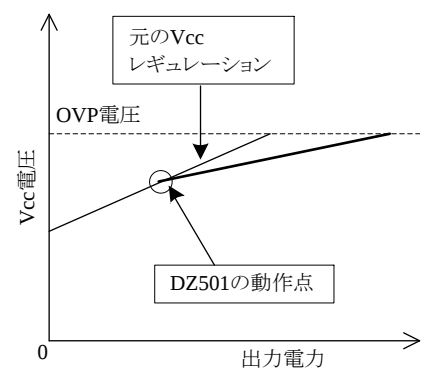


図 5.6.5 Vcc 電圧変移

SHINDENGEN ELECTRIC MFG. CO., LTD

CAT.No.1D0300-1.1

5.6.4 Vcc 電圧のレギュレーション対策③

上記 5.6.2,3 項で対策できない場合は、図 5.6.6 のようなドロップパー回路を Vcc の安定化に使用します。図 5.6.6 の定数を参考に設計してください。

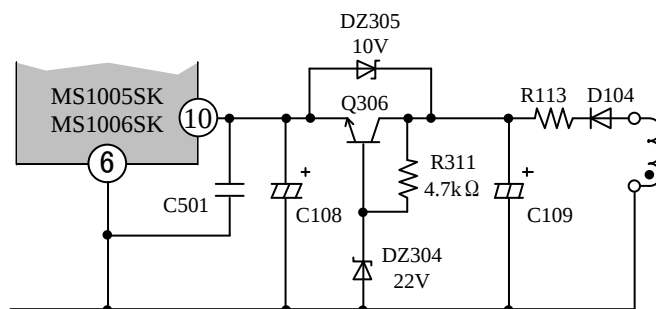


図 5.6.6 Vcc レギュレーション対策③

DZ304 は、Q306 のエミッタ-ベース間耐圧が 5V の場合は 22V

Q306 のエミッタ-ベース間耐圧が 7V の場合は 20V~22V を選択してください。

この対策によって、「(DZ304 のツェナ電圧)+(Q306 の V_{BE})」の電圧に Vcc を安定化させます。ただし、図 5.6.6 のように DZ305 を付加しないと Vcc 端子の OVP を利用することができませんので正しく OVP が動作するように DZ305 のツェナ電圧を設定してください。

図 5.6.7 は、図 5.6.6 の対策を行った Vcc レギュレーションモデル図です。ドロップパー回路が動作し安定化、DZ305 が動作し OVP 電圧になる特性となります。

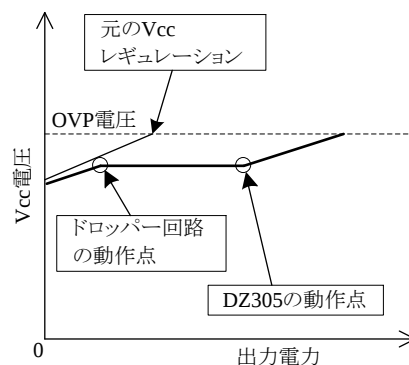


図 5.6.7 Vcc 電圧変移

5.6.5 アブノーマル対策回路

ショート試験において Vcc 端子の破壊が問題になる場合には、図 5.6.8 のようにツェナダイオード(DZ306)で保護してください。30V 以上のツェナダイオードであれば通常動作において IC 機能への影響はありません。

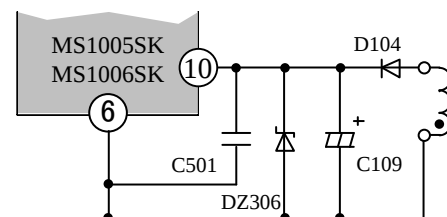


図 5.6.8 Vcc アブノーマル対策回路

6 設計方法

本項の設計方法は、電氣的な設計方法の一例です。

絶縁材料、絶縁構成、構造などについては、必要に応じ公的機関の定める安全基準に沿って設計してください。以下に計算式で使われているパラメータの単位系を一覧にしていますのでご参照ください。

・本項の計算式で取り扱う単位一覧

名称	単位	名称	単位
電圧	V (ボルト)	時間	s(秒)
電流	A (アンペア)	長さ	mm (ミリメートル)
電力	W (ワット)	面積	mm ² (平方ミリメートル)
コンデンサ容量	F (ファラッド)	電流密度	A/ mm ² (アンペア パー 平方ミリメートル)
インダクタンス	H (ヘンリー)	磁束密度	mT (ミリテスラ)
抵抗	Ω (オーム)	巻数	Turn (ターン)

6.1 設計フローチャート

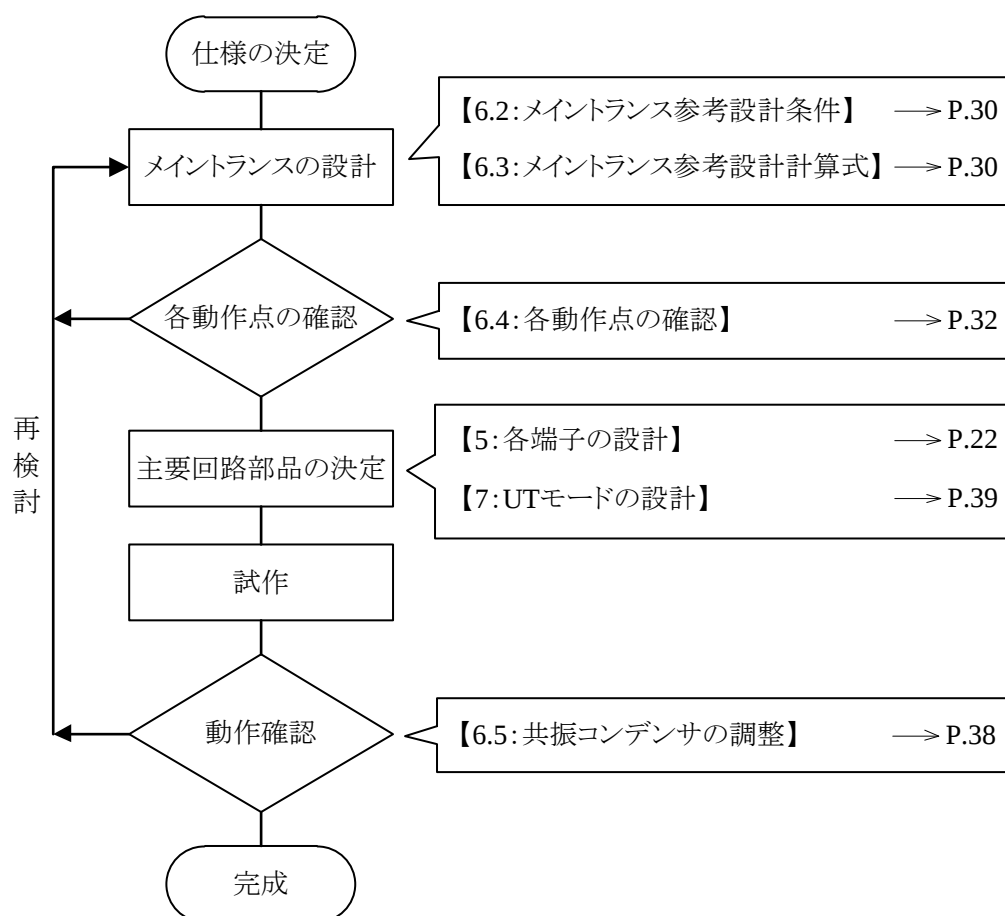


図 6.1 設計フローチャート

6.2 メイントランス参考設計条件

参考値はあくまで目安です。負荷条件などにより調整してください。

名称	記号	単位	参考値
入力電圧範囲	V_{AC}	[Vrms]	85～276
効率	η	-	0.80～0.85
最低発振周波数	$f(\min)$	[kHz]	35～50
オンデューティ比	D	-	0.4～0.6
共振コンデンサ容量	Cq	[pF]	100～3300
コントロール巻線電圧	V_{NC}	[V]	15～20
磁束密度変化	ΔB	[mT]	250～300
巻線電流密度	α	[A/mm ²]	4～6

※共振コンデンサの容量について、設定する共振コンデンサ容量に対して主スイッチング素子の出力容量(Coss)が無視できない場合は“共振コンデンサ容量+Coss”を Cq としてください。

6.3 メイントランス設計計算式

6.1	最低直流入力電圧	$V_{DC(\min)} = 1.2 \cdot V_{AC(\min)}$	[V]
6.2	最大直流入力電圧	$V_{DC(\max)} = \sqrt{2} \cdot V_{AC(\max)}$	[V]
6.3	最大発振周期	$T_{(\max)} = \frac{1}{f_{(\min)}}$	[s]
6.4	最大オン幅	$t_{on(\max)1} = \frac{D}{f_{(\min)}}$	[s]
6.5	最大オフ幅	$t_{off(\max)} = \frac{N_{S1} \cdot V_{DC(\min)} \cdot t_{on(\max)1}}{Np \cdot (V_{O1} + V_{F1})} + tq$	[s]
6.6	擬似共振期間	$tq = \pi \cdot \sqrt{Lp \cdot Cq}$	[s]
6.7	最大負荷電力	$P_{O(\max)} = Vo \cdot I_{O(\max)}$	[W]
6.8	最大出力電力(目安)	$P_L = 1.2 \cdot P_{O(\max)}$	[W]
6.9	主スイッチング素子 ピーク電流値	$I_{DP} = \frac{2 \cdot P_L}{\eta \cdot V_{DC(\min)} \cdot D}$	[A]
6.10	一次巻線インダクタンス	$Lp = \frac{V_{DC(\min)} \cdot t_{on(\max)1}}{I_{DP}}$	[H]

6.11	一次巻線数	$N_p = \frac{V_{DC(min)} \cdot t_{on(max)1} \cdot 10^9}{\Delta B \cdot Ae}$	[Turn]
6.12	コアギャップ	$lg = \frac{4 \cdot \pi \cdot Ae \cdot N_p^2 \cdot 10^{-10}}{L_p} \quad \text{※ } Ae: \text{コアの断面積}$	[mm]

※ギャップ lg はセンターギャップの値とします。

※ここで lg が 1mm 以上になった場合は、トランスコアサイズ、発振周波数などを見直して再設計を検討してください。

6.13	制御系出力巻線数	$N_{S1} = \frac{N_p \cdot (V_{O1} + V_{F1}) \cdot \left(\frac{1}{f_{(min)}} - t_{on(max)1} - tq \right)}{V_{DC(min)} \cdot t_{on(max)1}}$	[Turn]
6.14	非制御系出力巻線数	$N_{S2} = N_{S1} \cdot \frac{V_{O2} + V_{F2}}{V_{O1} + V_{F1}}$	[Turn]
6.15	コントロール巻線数	$N_C = N_{S1} \cdot \frac{V_{NC} + V_{FNC}}{V_{O1} + V_{F1}}$	[Turn]

※6.13～15 式で使われている記号

制御系巻線 出力電圧 1	V_{O1}	制御系巻線出力 整流ダイオード順方向電圧	V_{F1}
非制御系巻線 出力電圧 2	V_{O2}	非制御系巻線出力 整流ダイオード順方向電圧	V_{F2}
コントロール巻線 出力電圧 1	V_{NC}	コントロール巻線出力 整流ダイオード順方向電圧	V_{FNC}

※コントロール巻線電圧 V_{NC} のレギュレーションが悪い場合は低めに設定し、微小負荷時に V_{cc} が発振停止電圧以下になってしまう場合には高めの電圧設定にします。

6.16	一次巻線線径	$A_{NP} = \frac{2 \cdot \sqrt{D} \cdot Po}{\alpha \cdot \sqrt{3} \cdot \eta \cdot V_{DC(min)} \cdot t_{on(max)1} \cdot f_{(min)}}$	[mm ²]
6.17	二次巻線線径	$A_{NS} = \frac{2 \cdot Io \cdot \sqrt{1 - D - (tq \cdot f_{(min)})}}{\alpha \cdot \sqrt{3} \cdot (t_{off(max)} - tq) \cdot f_{(min)}}$	[mm ²]

※ N_c 巻線は取り扱いなどの理由から、 $A_{NC}=0.2\text{mm}\phi$ 以上を推奨しています。

6.4 各動作点を確認する

MS1005/6SK は、制御 IC がもつ機能によって発振周波数が変化する動作変曲点をもっています。それぞれの動作点を求めることで試作電源における動作を予測します。

図 6.2 は出力電力に対する発振周波数特性のモデル図です。各動作点を把握することで変曲点の電力やヒステリシス幅、垂下点の目安を知ることができます。

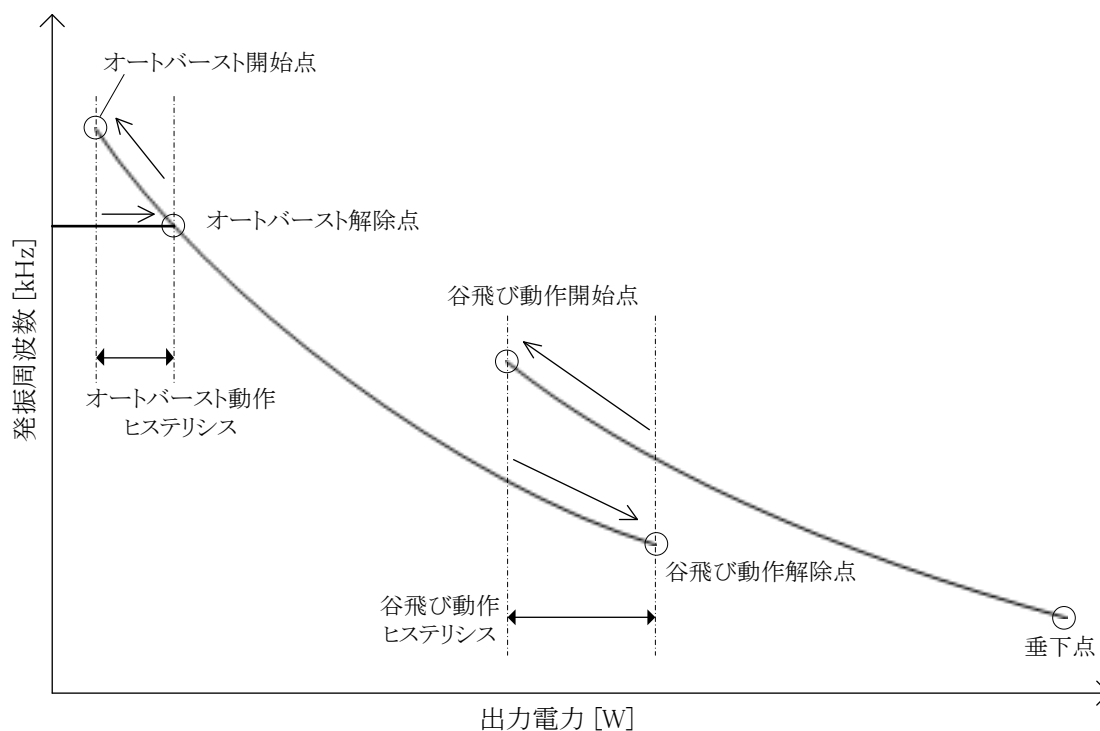


図 6.4 周波数特性

本項で、算出する動作点は、図 6.2 の丸印のポイントです。

- ・谷飛び動作開始点及び谷飛び動作解除点
- ・オートバースト開始点及びオートバースト解除点
- ・垂下点

これらの動作点を算出することにより

“待機状態において十分スタンバイ動作になっているかどうか。”

“谷飛び動作ヒステリシスは十分確保できているか。”

“垂下点は、出力に対して十分に余裕あるか。”

を確認します。

6.4.1 式中の記号

名称	記号	単位
設定した直流入力電圧	V_{DC}	[V]
各条件時のオン幅	t_{on}	[s]
各条件時のオフ幅	t_{off}	[s]
各条件時の 主スイッチング素子ピーク電流値	I_{DP}	[A]
各条件時の出力電力	P_o	[W]
1次電流検出抵抗	$R(ocl)$	[Ω]
OCL 端子オートバースト時 しきい値電圧	V_{burst}	[V]
OCL 端子電流検出しきい値電圧	$V_{th(ocl)}$	[V]

図 6.4.1 はスイッチング波形のモデル図です。谷飛び回数や t_q は図中の場所を指します。

その他の記号は 6.3 項及び仕様書に準じます。

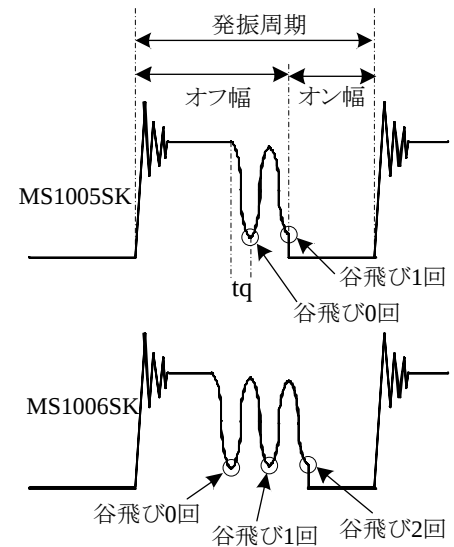


図 6.4.1 スwitching 波形 (谷飛び)

6.4.2 谷飛び開始電力の計算式

6.18	オン幅	$t_{on} = \frac{Np \cdot (T_{(bottom_sk\ ip_start)} - tq) \cdot (V_{O1} + V_{F1})}{N_{S1} \cdot V_{DC} + Np \cdot (V_{O1} + V_{F1})}$	[s]
6.19	オフ幅	$t_{off} = T_{(bottom_sk\ ip_start)} - t_{on}$	[s]
6.20	主スイッチング素子 ピーク電流値	$I_{DP} = \frac{V_{DC} \cdot t_{on}}{Lp}$	[A]
6.21	谷飛び開始電力	$P_o = \frac{V_{DC}^2 \cdot t_{on}^2 \cdot \eta}{2 \cdot Lp \cdot T_{(bottom_sk\ ip_start)}}$	[W]

ここで求められる谷飛び開始電力が、6.4.3 項で求められる谷飛び解除電力より大きくなってしまう場合にはヒステリシスが十分に確保できていないことを意味しています。

再度、トランスの再設計を行って下さい。

6.4.3 谷飛び解除電力の計算式

谷飛びを解除する条件は[条件 1]と[条件 2]があり、”[条件 1]の 6.25 式 谷飛び解除電力 1” と ”[条件 2]の 6.30 式 谷飛び解除電力 2 または 6.34 式 谷飛び解除電力 3” のどちらか小さい方の電力値が谷飛び解除電力となります。([条件 2]の値は算出したい入力電圧によって谷飛び解除電力 2 または谷飛び解除電力 3 のどちらか一方で谷飛び解除電力 1 と比較します。)

次頁図 6.4.3 は、それぞれの関係を示した入力電圧に対する谷飛び開始・解除電力のモデル図です。

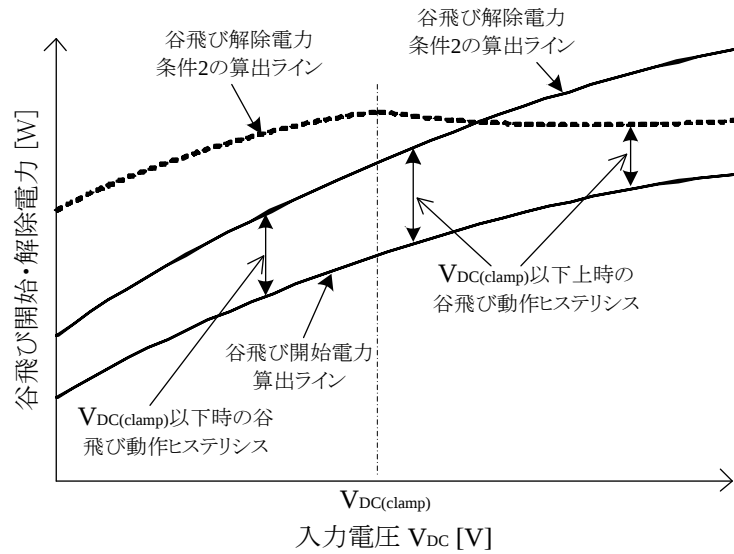


図 6.4.3 谷飛び開始・解除電力

[条件 1] 発振周波数が、 $T(\text{bottom_skip_stop})$ を満足する条件

※式中にある係数 A は、MS1005SK の場合には“1”、MS1006SK には“2”を代入します。

6.22	オン幅	$ton = \frac{Np \cdot (T_{(\text{bottom_skip_stop})} - tq) \cdot (V_{O1} + V_{F1})}{N_{S1} \cdot V_{DC} + Np \cdot (V_{O1} + V_{F1})}$	[s]
6.23	オフ幅	$toff = T_{(\text{bottom_skip_stop})} + 2A \cdot tq - ton$	[s]
6.24	主スイッチング素子 ピーク電流値	$I_{DP} = \frac{V_{DC} \cdot ton}{Lp}$	[A]
6.25	谷飛び解除電力 1	$Po = \frac{V_{DC}^2 \cdot ton^2 \cdot \eta}{2Lp \cdot (T_{(\text{bottom_skip_stop})} + 2A \cdot tq)}$	[W]

[条件 2] 谷飛びしている動作モードにおいて OCL 端子の電流検出しきい値電圧に達する条件

この条件においては、 $V_{th(ocl)}$ が入力電圧によって変化しますので最初に $V_{th(ocl)}$ 変曲点における入力電圧 $V_{DC(clamp)}$ を算出し、 $V_{DC(clamp)}$ 以下であれば次頁 1)項、 $V_{DC(clamp)}$ 以上であれば次頁 2)項の計算式で算出します。

$V_{th(ocl)}$ 変曲点の入力電圧 $V_{DC(clamp)}$ は、以下の式で求めます。

6.26	$V_{th(ocl)}$ 変曲点の入力電圧	$V_{DC(clamp)} = \frac{Lp \cdot V_{th(ocl)clamp}}{TOCL \cdot R_{(ocl)}}$	[V]
------	------------------------	--	-----

CAT.No.1D0300-1.1

1) $V_{DC} < V_{DC(clamp)}$ の場合

※式中にある係数 A は、MS1005SK の場合には“1”、MS1006SK には“2”を代入します。

6.27	オン幅	$ton = \frac{Lp \cdot Vth_{(OCL)clamp}}{V_{DC} \cdot R_{(OCL)}}$	[s]
6.28	オフ幅	$toff = \frac{V_{DC} \cdot N_{S1} \cdot ton}{Np \cdot (V_{O1} + V_{F1})} + (2A + 1) \cdot tq$	[s]
6.29	主スイッチング素子 ピーク電流値	$I_{DP} = \frac{Vth_{(OCL)clamp}}{R_{(OCL)}}$	[A]
6.30	谷飛び解除電力 2	$Po = \frac{V_{DC} \cdot Vth_{(OCL)clamp} \cdot \eta \cdot ton}{2 \cdot R_{(OCL)} \cdot (ton + toff)}$	[W]

2) $V_{DC} > V_{DC(clamp)}$ の場合

※式中にある係数 A は、MS1005SK の場合には“1”、MS1006SK には“2”を代入します。

6.31	オン幅	$ton = \frac{Vth_{(OCLstart)}}{\frac{V_{DC} \cdot R_{(OCL)}}{Lp} - \frac{(Vth_{(OCL)clamp} - Vth_{(OCLstart)})}{T_{(ocl)}}}$	[s]
6.32	オフ幅	$toff = \frac{V_{DC} \cdot N_{S1} \cdot ton}{Np \cdot (V_{O1} + V_{F1})} + (2A + 1) \cdot tq$	[s]
6.33	主スイッチング素子 ピーク電流値	$I_{DP} = \frac{V_{DC} \cdot ton}{Lp}$	[A]
6.34	谷飛び解除電力 3	$Po = \frac{V_{DC}^2 \cdot ton^2 \cdot \eta}{2 \cdot Lp \cdot (ton + toff)}$	[W]

6.4.4 オートバースト開始・解除計算式

次頁 6.35～38 式中の V_{burst} には、仕様書に記載されている“電氣的・熱的特性_自動スタンバイ”の項目に記載されている“VOCL(stby)”または“VTH(stby)”を代入して求めます。

オートバースト開始電力を求める場合 $V_{burst} = VOCL(stby) = 45mV$ を代入します。

オートバースト解除電力を求める場合 $V_{burst} = VTH(stby) = 57mV$ を代入します。

※式中にある係数 A は、MS1005SK の場合には“1”、MS1006SK には“2”を代入します。

6.35	オン幅	$ton = \frac{Lp \cdot Vburst}{V_{DC} \cdot R_{(OCL)}}$	[s]
6.36	オフ幅	$toff = \frac{V_{DC} \cdot N_{s1} \cdot ton}{Np \cdot (V_{O1} + V_{F1})} + (2A + 1) \cdot tq$	[s]
6.37	主スイッチング素子ピーク電流値	$I_{DP} = \frac{Vburst}{R_{(OCL)}}$	[A]
6.38	オートバースト開始・解除電力	$Po = \frac{V_{DC} \cdot Vburst \cdot \eta \cdot ton}{2 \cdot R_{(OCL)} \cdot (ton + toff)}$	[W]

6.4.5 垂下点電力の計算式

Vth(ocl)は入力電圧によって変化しますので、最初に Vth(ocl)変曲点における入力電圧 V_{DC(clamp)}を算出し、V_{DC(clamp)}以下であれば 1)項、V_{DC(clamp)}以上であれば 2)項の計算式で算出します。

Vth(ocl)変曲点の入力電圧は、6.4.3 項と同じ以下の式で求めます。

6.26	Vth(ocl)変曲点の入力電圧	$V_{DC(clamp)} = \frac{Lp \cdot Vth_{(OCL)clamp}}{TOCL \cdot R_{(OCL)}}$	[V]
------	------------------	--	-----

図 6.4.5 は、入力電圧と垂下点電力の関係をモデル化した図です。

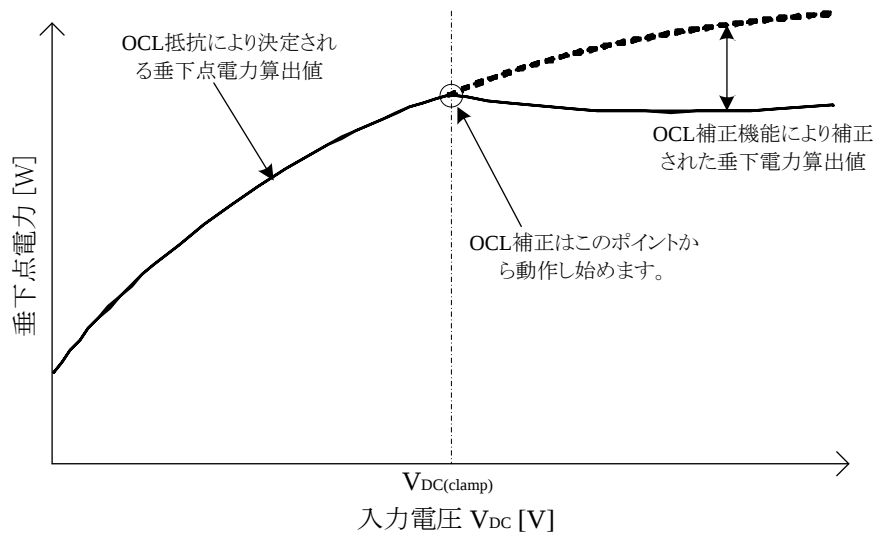


図 6.4.5 入力電圧による垂下点

1) $V_{DC} < V_{DC(clamp)}$ の場合

6.39	オン幅	$ton = \frac{Lp \cdot Vth_{(OCL)clamp}}{V_{DC} \cdot R_{(OCL)}}$	[s]
6.40	オフ幅	$toff = \frac{V_{DC} \cdot N_{S1} \cdot ton}{Np(V_{O1} + V_{F1})} + tq$	[s]
6.41	主スイッチング素子 ピーク電流値	$I_{DP} = \frac{Vth_{(OCL)clamp}}{R_{(OCL)}}$	[A]
6.42	垂下点電力	$P_L = \frac{V_{DC}^2 \cdot ton^2 \cdot \eta}{2 \cdot Lp \cdot (ton + toff)}$	[W]

2) $V_{DC} > V_{DC(clamp)}$ の場合

6.43	オン幅	$ton = \frac{Vth_{(OCLstart)}}{\frac{V_{DC} \cdot R_{(OCL)}}{Lp} - \frac{(Vth_{(OCL)clamp} - Vth_{(OCLstart)})}{TOCL}}$	[s]
6.44	オフ幅	$toff = \frac{V_{DC} \cdot N_{S1} \cdot ton}{Np \cdot (V_{O1} + V_{F1})} + tq$	[s]
6.45	主スイッチング素子 ピーク電流値	$I_{DP} = \frac{V_{DC} \cdot ton}{Lp}$	[A]
6.46	垂下点電力	$P_L = \frac{V_{DC}^2 \cdot ton^2 \cdot \eta}{2 \cdot Lp \cdot (ton + toff)}$	[W]
6.47	垂下点時の $Vth_{(ocl)}$	$Vth_{(ocl)} = \frac{(Vth_{(OCL)clamp} - Vth_{(OCLstart)})}{TOCL} \cdot ton + Vth_{(OCLstart)}$	[V]

各動作点の算出値は、目安となります。

電源効率 フィルタ回路 制御 IC 信号遅れ などの様々な要因から実際の電源特性と一致するものではありませんのでご注意ください。

6.5 共振コンデンサの設定・調整

共振コンデンサの容量設定について特別な制限はありませんが、実使用上 100pF～3300pF の範囲で決定するようにしてください。

1) 比較的大きい容量を選ぶ条件

- ・入力電圧が低い仕様など、擬似共振谷点が 0V に近くスイッチング損失が非常に小さいことが予想される場合。
- ・雑音端子ノイズが大きい場合。
- ・主スイッチング素子の耐圧に対してサージ電圧が大きくマージンがとれない場合。

2) 比較的小さい容量を選ぶ条件

- ・主スイッチング素子の発熱が大きい場合。
- ・待機電力を少しでも小さくしたい場合。

以下に、共振コンデンサの容量を変更した場合に電源性能への影響を表に示します。

項目	共振コンデンサ容量	
	を小さくする	⇔ を大きくする
主スイッチング素子のピーク電圧	高くなる	⇔ 低くなる
垂下点電力	大きくなる	⇔ 小さくなる
主スイッチングの発熱	小さくなる	⇔ 大きくなる
ターンオン直後の主スイッチング素子電流値	小さくなる	⇔ 大きくなる
同一出力条件での主スイッチングピーク電流値	小さくなる	⇔ 大きくなる
出力電圧のレギュレーション	悪くなる	⇔ 良くなる
Vcc 電圧のレギュレーション	悪くなる	⇔ 良くなる
電源効率	良くなる	⇔ 悪くなる
ノイズ	悪くなる傾向	⇔ 良くなる傾向

電源性能の最適化において、共振コンデンサ容量の変更はトレードオフになるものが多いので容量変更のメリット・デメリットをよく検討して定数を決定してください。また、トランスの再設計においてトレードオフが改善する場合があります。電源性能の最適化においては、トランスの再設計も考慮するようにしてください。

7 UT モード使用時の 2 次側設計例

※本項の回路例は、本回路例は製品保証するものではありません。御社設計の参考にお使いください。

7.1 UT モード使用時の 2 次側回路例

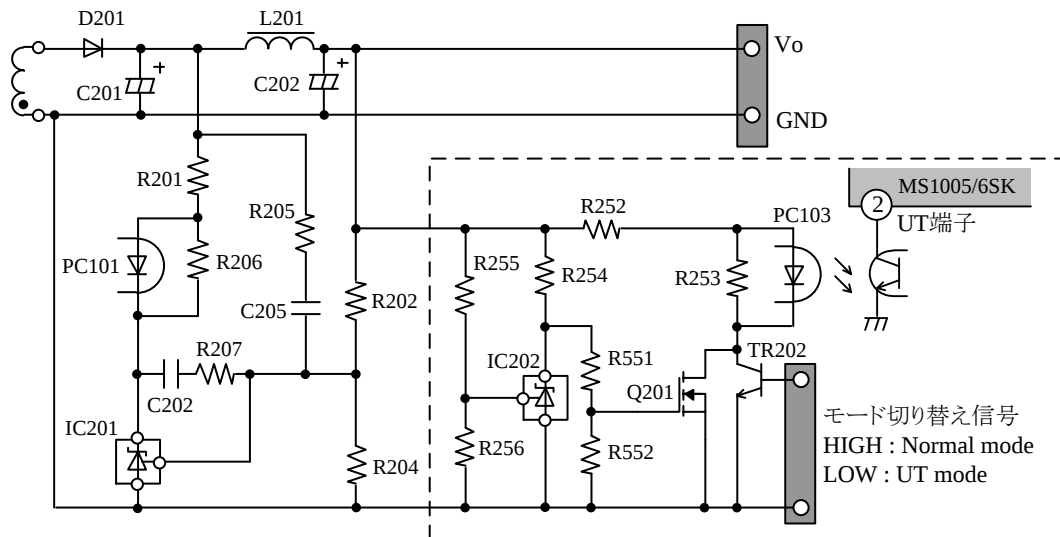


図 7.1 UT モード使用回路例

図 7.1 は UT モードを使用する時の 2 次側応用回路例です。点線枠内の回路が UT モードの追加回路となり、2 次側出力電圧下限検出回路を兼ねています。モード切り替え信号を LOW にすると UT モードとなり、HIGH にするとノーマルモードになります。

7.2 2 次側応用回路 UT モードシーケンス例

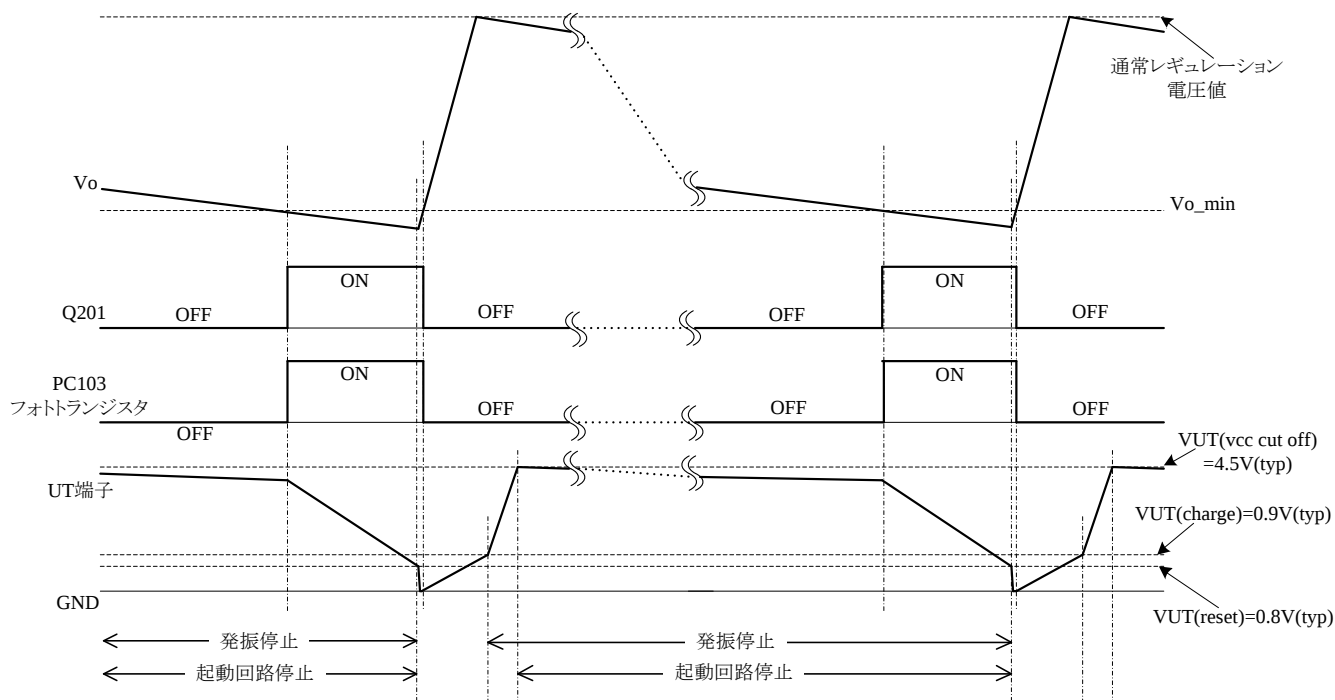


図 7.2 2 次側応用回路によるシーケンス

7.3 項に、点線枠内の定数設計例を明記します。

CAT.No.1D0300-1.1

また、R254 は IC202 のカソード電流 I_{Z_IC202} を決定させています。IC202 の最小カソード電流を $I_{Z(MIN)_IC202}$ としますと、7.2 式の関係が成り立ちます。

$$\frac{V_{o_min} - V_{REF_IC202}}{R254} > I_{Z(MIN)_IC202} \quad \dots 7.2$$

IC202 が「LMV431AI(Texas Instruments)」の場合、最小カソード電流 $I_{Z(MIN)_IC202}=0.1\text{mA}$ （動作条件下限值）となっておりますので、 $R254 < 77.6\text{k}\Omega$ と算出できます。最小カソード電流以上カソード電流を流さなくてはならないので、E12 系列で算出値よりも小さい抵抗値となるように選ぶと $R254=68\text{k}\Omega$ となります。

また、図 7.3.2 の通り、R254 は Q201 のゲートにも接続されていることより、7.2 式と同様に考え、下記 7.3 式も満たさなければなりません。

$$\frac{V_{o_min} - V_{th_Q201(max)}}{R254} > I_{Z(MIN)_IC202} \quad \dots 7.3$$

Q201 が「SSM3K7002BF(TOSHIBA)」の場合、データシート記載値よりゲートしきい値は $V_{th_Q201}=1.5\text{V}(\text{min})\sim 3.1\text{V}(\text{max})$ です。抵抗のバラツキ等を考慮して、計算では $V_{th_Q201}(\text{min})=1.35\text{V}$ （データシート min 値 $\times 0.9$ ）、 $V_{th_Q201}(\text{max})=3.565\text{V}$ （データシート max 値 $\times 1.15$ ）とします。 $V_{th_Q201}(\text{max})=3.565\text{V}$ より、 $R254 < 54.35\text{k}\Omega$ と求まります。E12 系列で $R254=47\text{k}\Omega$ となります。

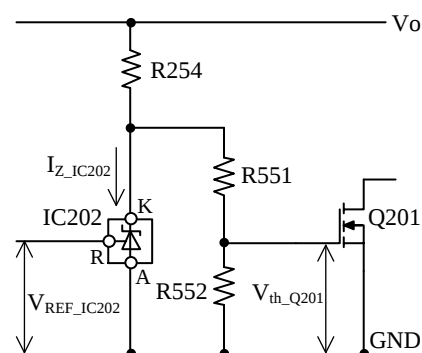


図 7.3.2 Q201 周辺回路

7.3.2 Q201 周辺部品の設計

Q201 が ON のときは、フォトカプラ PC103 のダイオードに電流が流れ、UT 端子電圧は LOW になります。Q201 が OFF のときは、フォトカプラ PC103 のダイオードに電流が流れず、UT 端子電圧を HIGH に維持します。つまり Q201 を ON/OFF させることで間欠発振動作をさせています。図 7.3.2 のように Q201 のゲートしきい値を V_{th_Q201} とし、R254、R551、R552、 V_{REF_IC202} を用いて 7.4, 5 式の関係が成り立ちます。

$$\text{Q201 が ON する条件より} \quad \frac{R552}{R254 + R551 + R552} \times V_{o_min} > V_{th_Q201(max)} \quad \dots 7.4$$

$$\text{Q201 が OFF する条件より} \quad \frac{R552}{R551 + R552} \times V_{REF_IC202} < V_{th_Q201(min)} \quad \dots 7.5$$

7.4, 5 式において、R254 は 7.2, 3 式より $47\text{k}\Omega$ とします。また IC202 が「LMV431AI(Texas Instruments)」の場合、リファレンス電圧は $V_{REF_IC202}=1.24\text{V}(\text{typ})$ となります。IC202 及び Q201 のデータシート値である V_{REF_IC202} と V_{th_Q201} を 7.5 式に代入すると、 $R551=R552$ の条件であれば、7.5 式を満たすことが分かります。そこで $R551=R552$ を 7.4 式に代入しますと、 $R551 > 89.6\text{k}\Omega$ と算出できます。E12 系列で R551、R552 はそれぞれ $100\text{k}\Omega$ となります。

7.3.3 フォトカプラ PC103 周辺の回路

R252 はフォトカプラ PC103 の CTR を考慮して設計します。消費電力をより減らすためには、R252 を大きくすることが有効です。ただし、R252 を大きくするときは、お使いのフォトカプラの CTR を確認しながら、余裕を持った設計になるようにお願いします。

図 7.3.3 に図示してある通り、フォトカプラ PC103 の順電圧を V_{F_PC103} 、順電流を I_{F_PC103} 、R253 に流す電流を I_{R253} とすると、7.6 式が成り立ちます。

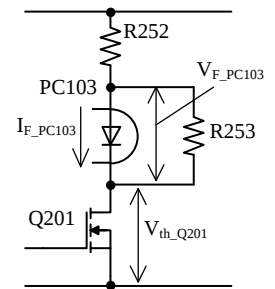


図 7.3.3 PC103 周辺回路

$$\frac{V_{o_min} - V_{th_Q201(max)} - V_{F_PC103}}{R252} = I_{F_PC103} + I_{R253} \quad \dots 7.6$$

R252 に流す電流は通常 4mA 程度としますので、 $I_{F_103} + I_{R253} = 4mA$ となります。Q201 が「SSM3K7002BF(TOSHIBA)」ですと $V_{th_Q201(max)} = 3.1V$ 、PC103 が「PC123XNNSZ0F(SHARP)」ですと $V_{F_PC103} = 1.2V(\text{typ})$ がそれぞれ製品データシートより分かりますので、これらの値を挿入しますと、 $R252 = 1.175k\Omega$ と算出できます。E12 系列で近い値の $R252 = 1.2k\Omega$ となります。

また、R253 はフォトカプラ PC103 のダイオードの分流保護抵抗で 7.7 式より算出します。

$$R253 = \frac{V_{F_PC103}}{I_{F_PC103}} \quad \dots 7.7$$

PC103 が「PC123XNNSZ0F(SHARP)」の場合、データシートより $R253 = 10k\Omega$ と算出できます。

7.4 UT モード時消費電力削減例

出力電解コンデンサ C201 の容量を大きくしますと、出力電圧変動の傾斜が緩やかになるため、間欠周期が長くなり、発振回数を減らせます。図 7.4 は C201 を大きくした場合の出力電圧を図示（点線）したのになります。間欠周期が長くなったために発振停止している期間が長いので消費電力削減でき、ある一定期間内での発振回数が減ることもあり、UT モード時の消費電力の低減ができます。

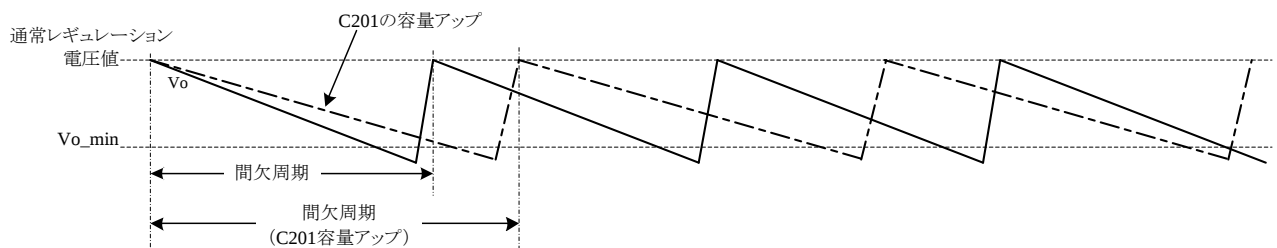
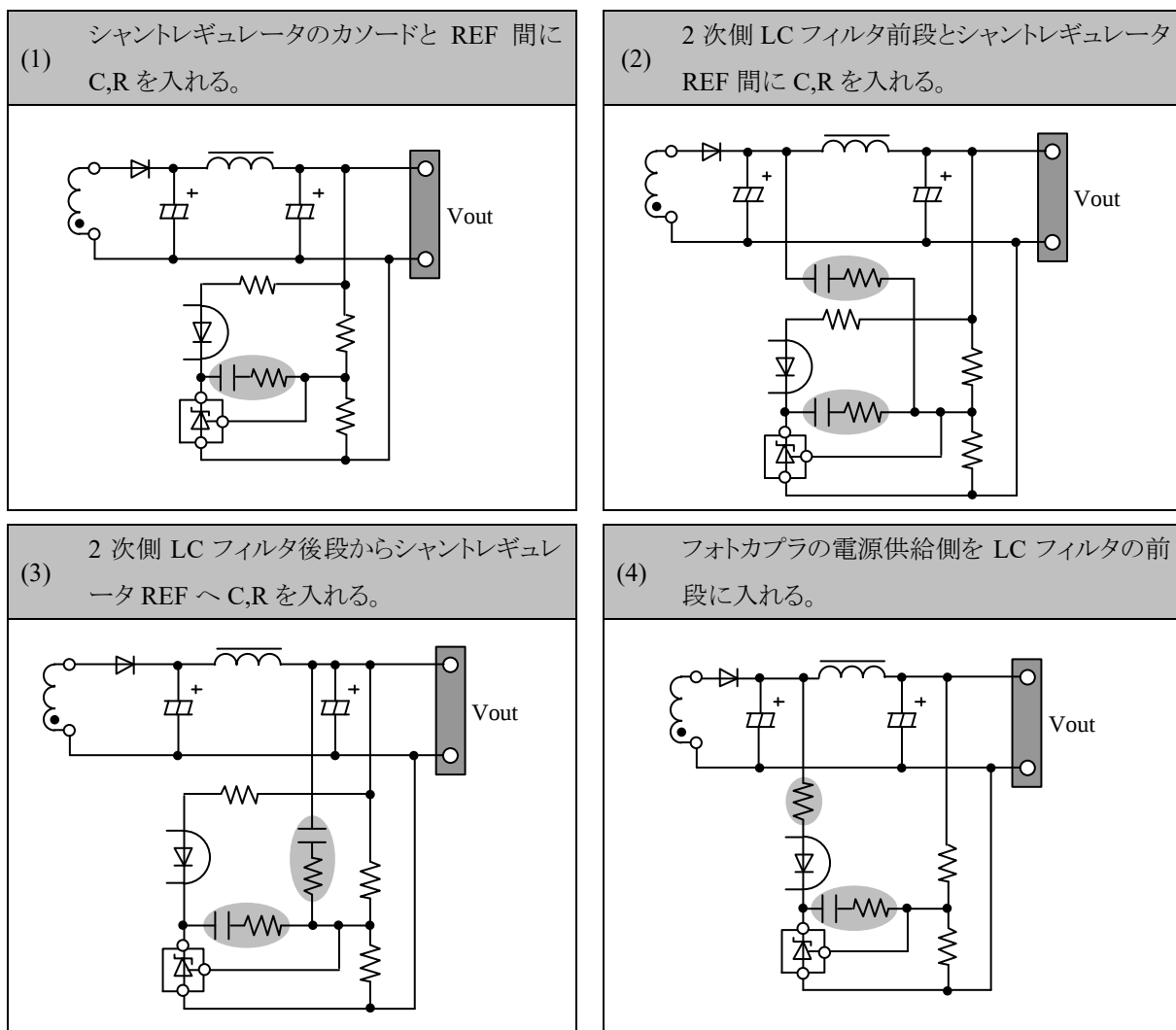


図 7.4 C201 容量アップした場合の出力電圧 V_o

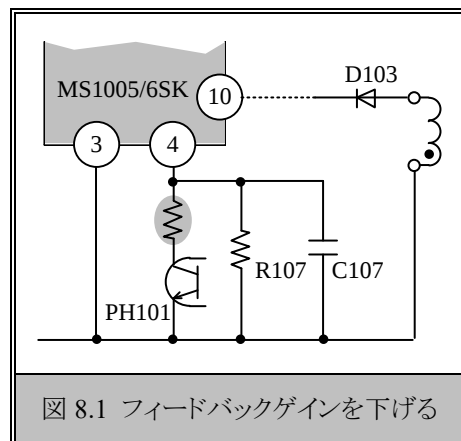
8 位相補正

RCC 回路では、フォトカプラ・コンデンサ・コイルなどの位相遅れが原因でハンチングする事があります。ハンチングが起これると、発振音が聞こえたり、出力電圧のリプルが通常よりもかなり大きくなります。対策としては以下のような方法がありますので参考にしてください。



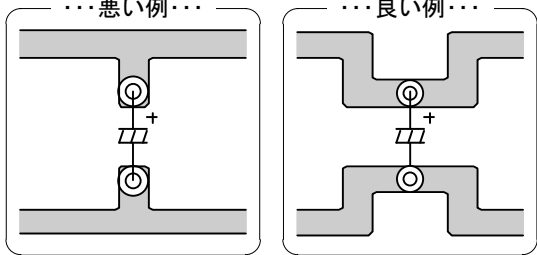
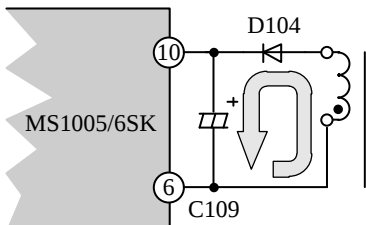
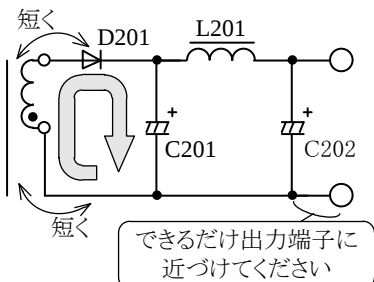
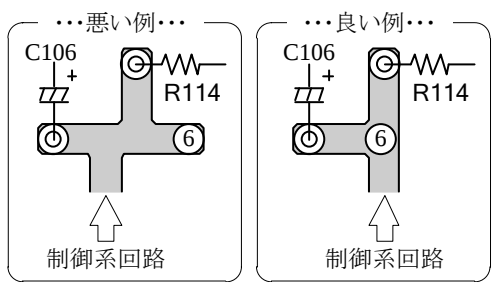
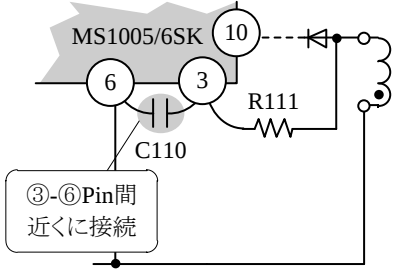
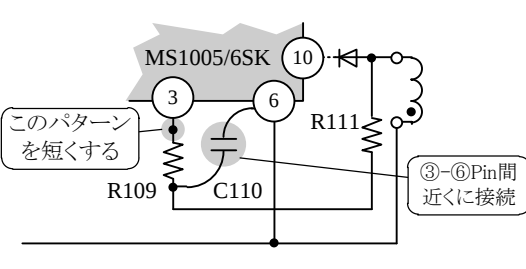
また、軽負荷時に間欠発振しやすい場合はフィードバックゲインを下げるのもひとつの方法です。

図 8.1 のように抵抗を入れてください。ただし、この抵抗は $2.2\text{k}\Omega$ 以下に設定します。



9 パターン設計の注意事項

パターン設計においては、パターンの長さをできるだけ短くしループを小さくすることが基本です。以下の点に注意して設計を行ってください。

(1) 各電解コンデンサのパターン  コンデンサのパッドを必ず通るようにしてください。	(2) NC 巻線周辺のパターン設計  トランス→D104→C109 のループを太く短く設計してください。
(3) 2 次側のパターン設計  トランス→整流ダイオード→出力コンデンサのループを太く短く設計してください。 また、出力チョークコイル後段のコンデンサは、できるだけ出力端子に近づけてください。	(4) GND 端子周辺のパターン設計  GND 端子(⑥Pin)から C106 のマイナス側へは直接接続し他の部品の接続はしないでください。 また、制御系回路端は R114 の内側 (GND 端子寄り) に接続しないでください。
(5) コンデンサの接続について  Z/C 端子(③Pin)は、ノイズの影響を受けやすいので Z/C 端子(③Pin)- GND 端子(⑥Pin)間に近くパターンを接続してください。	(6) C110 のパターン  R109 がある場合は図中のパターンを短くしてください。

10 ノイズ対策

MS1005/6SK を用いた RCC 回路のノイズ低減方法を紹介します。これらの対策法を組み合わせ、実機にて十分な検討をして下さい。

1) トランスの再設計

トランス設計において、次の項目に留意して再設計すると改善できます。主スイッチング素子の耐圧や動作周波数等には十分に気をつけてください。

(1) 巻線結合をよくする。

これによりターンオフ時のリングングが小さくなりノイズが低減します。

(2) オンデューティを大きくする。

擬似共振機能をできるだけ活かすことでターンオン時のサージ電流が減りノイズが低減します。

(3) 動作周波数を下げる。

基本波や基本波の高調波によるノイズが低減します。

2) Y コンデンサ

Y コンデンサのコンデンサ容量を変更するのはもちろんのことですが、Y コンデンサの位置や特定場所に付加することでノイズが低減します。この効果は基板パターンで結果は様々ですので実機にて十分な検討をして下さい。

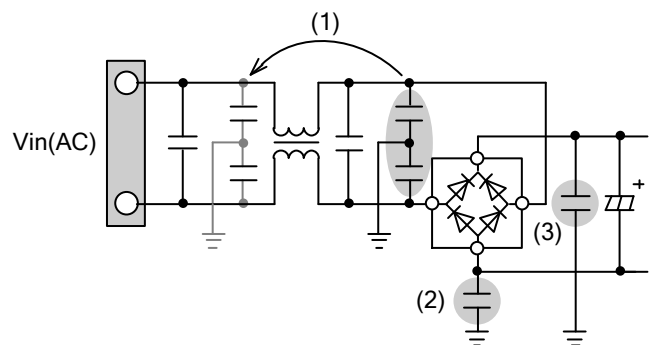


図 10-2 Y コンデンサの位置

(1) フィルタ部の Y コンデンサの場所を変更。

(2) 入力コンデンサのマイナス側からアースへ接続する。

(3) 入力コンデンサのプラス側からアースへ接続する。

3) スナバ回路

(1) DCR スナバを付加する。

ターンオフ時のリングング電圧のピークが下がりますのでノイズが低減します。

(2) ダンピング抵抗を付加する。

共振コンデンサに直列に抵抗を付加します。ターンオフ時のリングング電圧の減衰が早くなりノイズが低減します。

(3) DCR スナバのダイオードに並列のコンデンサを付加する。

このダイオードはスイッチング動作をしていますのでここからのノイズを低減します。

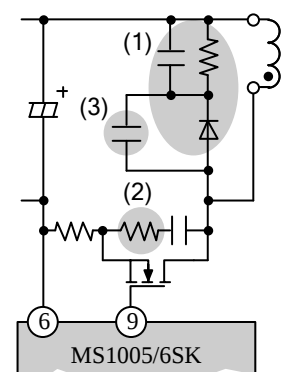


図 10-3 スナバ回路

(2)項と(3)項のコンデンサはマイカコンデンサやポリプロピレンコンデンサが理想的です。低損失型のセラミックコンデンサでも十分に使用できますが、ご使用の際はメーカーへご相談ください

SHINDENGEN ELECTRIC MFG. CO., LTD

CAT.No.1D0300-1.1

4)2 次側ダイオードにコンデンサを並列に付加

2 次側ダイオードはスイッチング動作をしています。コンデンサを付加することでノイズを低減します。

実機検討において、どのダイオードが効果的か確認をして下さい。

また、このコンデンサに直列にダンピング抵抗を付加することも効果があります。

このコンデンサは、マイカコンデンサやポリプロピレンコンデンサが理想的です。低損失型のセラミックコンデンサでも十分に使用できますが、ご使用の際はメーカーへご相談ください。

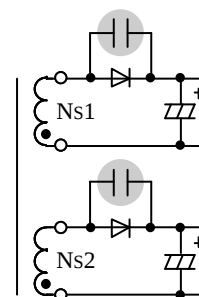


図 10-4 2 次側ダイオードにコンデンサを並列に追加

5)コンデンサ結合

1 次側 GND と 2 次側 GND をコンデンサ結合させることも効果があります。1 次 - 2 次の漏洩電流量と安全規格には十分気を付けてください。

6)その他の対策

- (1) 主スイッチング素子の Drain(Collector)端子周辺にビーズコアを入れる。
- (2) 2 次側ダイオード周辺にビーズコアを入れる。

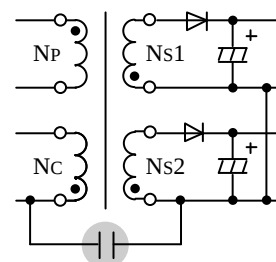


図 10-5 1 次-2 次間コンデンサ結合

MS1005SK / MS1006SK
アプリケーションノート Ver.1.1

制作：電子デバイス事業本部

応用技術部 第一応用技術課

作成日：2019年9月10日

新電元工業株式会社