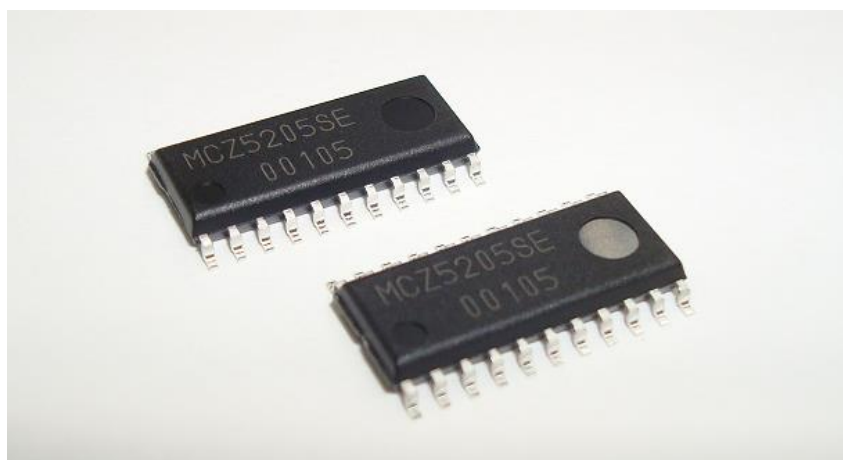


PFC機能搭載
LLC電流共振ブリッジコンバータ
制御 IC

MCZ5205SE











アプリケーションノート ver. 1.1

新電元工業株式会社


使用上の注意


このたびは、弊社製品をご使用いただき誠にありがとうございます。
当 IC をご使用の際は、お客様の安全を確保するため下記の警告ならびに注意を必ず守ってご使用下さい。

警告		誤った取り扱いをしたときに死亡や重大な人身事故および大きな物的損害に結びつく危険性のあるもの。
注意		誤った取り扱いをしたときに軽傷に結びつく恐れ、または軽微な物損事故に結びつく恐れのあるもの。

警告		当 IC は、一般電子機器(事務機器・通信機器・計測機器・家電製品等)に使用されることを意図しております。誤動作や事故が直接人体や生命を脅かす恐れのある医療器、航空宇宙機、列車、輸送機器(車載、船舶等)、原子力等の制御機器には使用しないで下さい。一般電子機器以外にご使用になる場合は弊社までご相談下さい。
注意		修理や改造は、重大な事故につながりますので、絶対にやめて下さい。 《感電、破壊、火災、誤動作等の危険があります。》
		異常時は出力端子に過大電圧が発生したり、電圧低下となる場合があります。異常時の、負荷の誤動作や破壊等を想定した保護対策(過電圧保護、過電流保護等の保護対策)を最終機器に組み込んで下さい。
		入力端子、出力端子の極性を確認し誤接続の無いことを確認してから通電して下さい。 《保護素子が切れたり、発煙・発火の原因になります。》
		決められた入力電圧を必ず守っていただくとともに、入力ラインに必ず保護素子を挿入して下さい。 《異常時には発煙・発火の危険があります。》
		使用中に故障または、異常が発生した時は、すぐに入力を遮断して電源を停止させて下さい。また、直ちに弊社にご相談下さい。

- 本資料に記載されている内容は、製品改良などのためお断りなしに変更することがありますのでご了承下さい。
- 御使用頂く際には、仕様書の取り交わしをして頂きます様をお願いします。
- ここに記載されたすべての資料は正確かつ信頼し得るものでありますが、これらの資料の使用によって起因する損害または特許権その他権利の侵害に関しては、当社は一切その責任を負いません。
- 本資料によって第三者または当社の特許権その他権利の実施に対する保証または実施権の許諾を行うものではありません。
- 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りいたします。

 当社は、品質と信頼性の向上に絶えず努めていますが、半導体製品はある確率で故障が発生したり、誤動作する場合があります。必要に応じ、安全性を考慮した冗長設計、延焼防止設計、誤動作防止設計等の手段により結果として人身事故、火災事故、社会的な損害等が防止できるようご検討下さい。

 本資料に記載されている当社半導体製品は、特別に高い品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。下記の特別用途、特定用途の機器、装置にご使用の場合には必ず当社へご連絡の上、確認を得て下さい。

特別用途

輸送機器(車載、船舶等)、基幹用通信機器、交通信号機器、防災/防犯機器、各種安全機器、医療機器 等

特定用途

原子力制御システム、航空機器、航空宇宙機器、海底中継器、生命維持のための装置 等

 なお、IC 製品に関しては、特別用途・特定用途に限らず、連続運転を前提として長期製品寿命を期待される機器、装置にご使用される場合に関しては当社へお問い合わせ下さい。

当社は IC 製品を安全に使っていただくために回路支援をいたしています。弊社担当営業または商品企画にお問い合わせ下さい。

1 : 概要	
1.1: 特長	4
1.2: ブロック図	5
1.3: 端子配置図	6
1.4: 各ピン機能一覧	6
1.5: 適用回路構成例	7
2 : 基本動作の説明	
2.1: はじめに	8
2.2: 電源供給部	8
2.3: PFC 部	9-13
2.4: LLC 部	14-19
2.5: 共通部	20-22
2.6: 参考	22
3 : 周辺回路定数の決定	
3.1: PFC 部 オンタイミングの調整 (ZC 端子)	23
3.2: PFC 部 位相補償の調整 (COMP 端子)	24
3.3: PFC 部 出力電圧および過電圧の調整 (FBP 端子)	24
3.4: PFC 部 過電流保護ポイントの調整 (CSP 端子)	25
3.5: LLC 部 入力監視電圧の調整 (Vsen 端子)	25
3.6: LLC 部 発振器調整 (FBL 端子)	26
3.7: LLC 部 ソフトスタートおよび異常時のタイマ充電時間の調整 (SST 端子)	27
3.8: LLC 部 過電流保護ポイントの調整 (CSL 端子)	27-28
3.9: FBP および Vsen 検出ラインを共通にした場合の検出抵抗値の算出	28
4 : 回路例	
4.1: 代表回路図	29
5 : 外形寸法図	
5.1: SOP22 (MCZ5205SE)	30

1 概要

MCZ5205SE は、臨界型 PFC(Power Factor Correction)制御用コントローラと、高耐圧ゲートドライバを有した周波数変調タイプの LLC ブリッジ型全波電流共振電源制御用コントローラの 2 つの制御回路を集積したコントローラ IC で、この 2 つのコントローラを 1 チップに内蔵することで省スペース化を図ることが出来ます。

PFC 部は臨界 PFC を採用し、低ノイズ・高効率化を実現しています。

LLC 部は共振はずれ防止機能等の各種保護機能を備え、高効率化を実現しています。

さらに、アクティブスタンバイ(AS)機能を有し、軽負荷待機時の電力損失を大幅に改善することが出来ます。

本 IC は、PFC および LLC をワンチップで搭載し、各種保護機能も備わっている為、設計の簡易化および省スペース化を実現でき、以下の製品に最適です。

- PDP / LCD 等大画面フラット TV 用電源
- レーザープリンタ等の OA 機器用電源
- 大出力 AC アダプタ
- 大電力産業機器用電源
- ハイパワーLED 照明

1.1 特長

[一般的な特長]

1. PFC と LLC の機能をコンボ化し、SOP22 パッケージで実現。
2. アクティブスタンバイ機能を搭載し、軽負荷領域の損失低減に対応。
3. アクティブスタンバイ端子(外部ラッチ端子)を利用した過電圧ラッチ回路を構成可能。
4. PFC/LLC ON-OFF シーケンスを最適化。
5. Vcc 耐圧は 35V、UVLO はヒステリシスを持ち 12.6V/8.5V。

[PFC 部特長]

1. 臨界型 PFC コントローラ。
2. 過電流検出しきい値は 0.5V であり、検出抵抗ロス削減。
3. オン幅(電圧)制御により入力ライン検出不要。
4. フィードバックオープン・ショート保護、過電圧発振停止保護(OVP)、過熱保護(LLC 部共通)、軽負荷の時出力電圧上昇保護機能搭載。

[LLC 部特長]

1. ドライブ能力(Source 0.18A、Sink 0.38A)最適化により、ゲート周りをシンプルに構成可能。
2. ハイサイドドライバ内蔵により MOSFET の直接ドライブが可能。
3. アクティブスタンバイモードで非対称スイッチング動作。
アクティブスタンバイモードにより非対称制御に切り替わり、軽負荷領域での損失を低減。
4. di/dt 保護機能により、危険な di/dt モードを回避し MOSFET を保護。
5. 過電流保護(OCP)、di/dt 保護(共振はずれ保護)、タイマーラッチ、不足電圧保護、過熱保護(PFC 部共通)等の各種保護機能搭載。

1.2 ブロック図

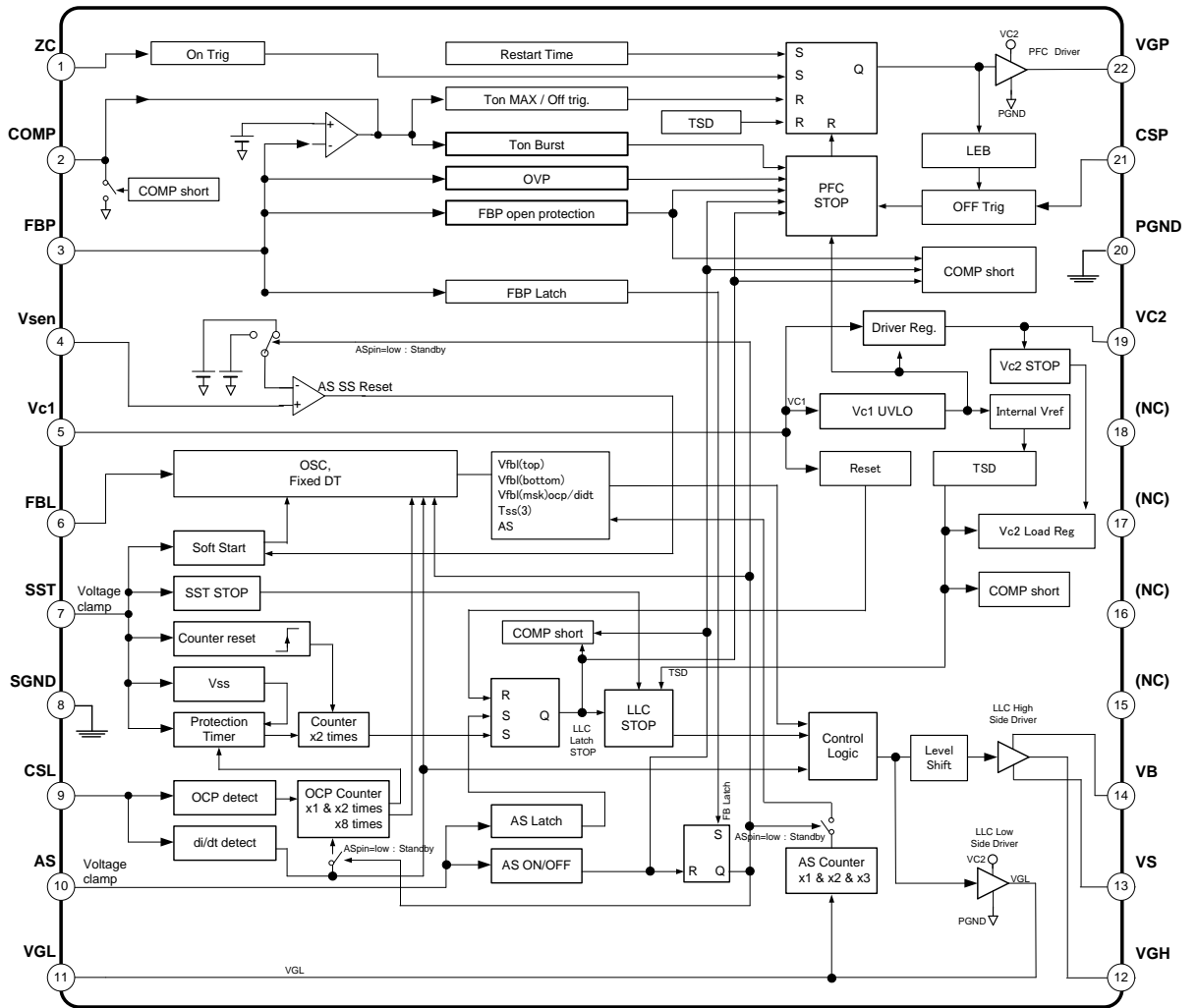


図 1 . MCZ5205SE ブロック図

1.3 端子配置図

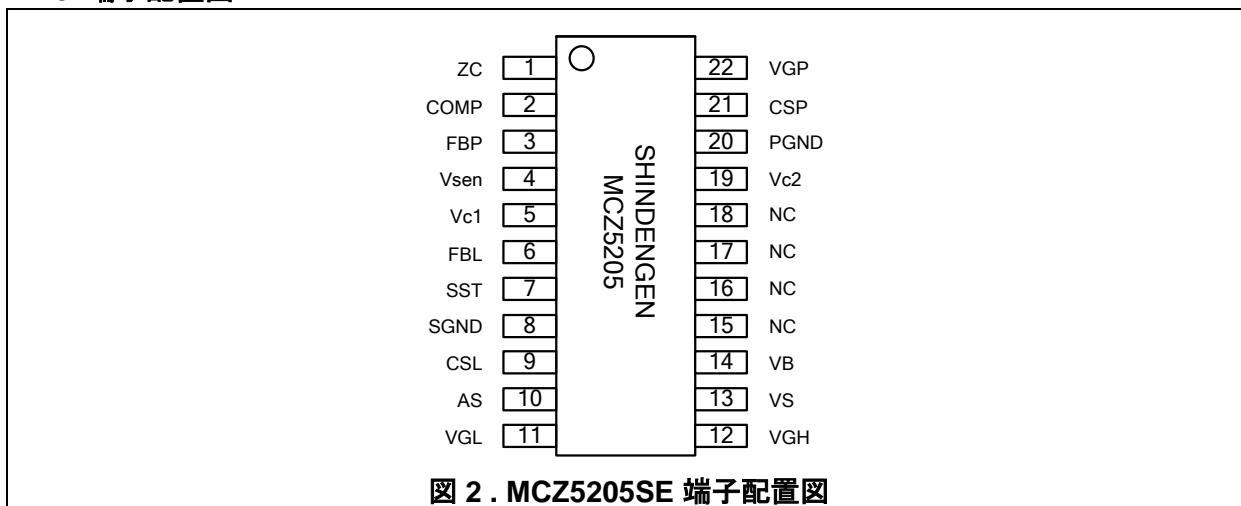


図 2. MCZ5205SE 端子配置図

1.4 各ピン機能一覧

端子番号	記号	コンバータ	機能
1	ZC	PFC	オンタイミグ検出端子 ゼロ電流を検出して、PFC 部主 SW のオンタイミグを決めます。
2	COMP	PFC	フィードバックアンプの出力端子 位相補償設定用の端子です。
3	FBP	PFC	フィードバックアンプの入力端子 PFC 出力電圧のフィードバック、低入力電圧監視を行います。
4	Vsen	LLC	PFC 出力電圧監視用端子 ブラウナウト保護のため、低入力保護、リモート ON/OFF、SS-Reset を行います。
5	Vc1	共通	制御回路の電源供給端子 $Vc1 \geq 12.6V$ で動作開始、 $Vc1 \leq 8.5V$ で動作停止します。
6	FBL	LLC	LLC 部 発振器の周波数設定用端子 外付けコンデンサ、抵抗により Duty や動作周波数が決まります。
7	SST	LLC	ソフトスタートと異常検出時の間欠動作コンデンサ接続端子 ソフトスタート時間および異常検出時の間欠動作時間を決めます。
8	SGND	共通	制御信号系 GND 端子 制御信号系の GND 接続端子。
9	CSL	LLC	LLC 部の過電流検出および di/dt (共振はずれ) 保護機能用端子 OCP および di/dt を検出して、過電流および共振はずれを保護します。
10	AS	共通	アクティブスタンバイ切り替え端子 端子ショート時、アクティブスタンバイモードで動作します。 外部入力ラッチ機能としても使用できます。
11	VGL	LLC	LLC 部下側 MOS のゲート駆動用端子 LLC 部下側 MOS のゲートを駆動します。
12	VGH	LLC	LLC 部上側 MOS のゲート駆動用端子 LLC 部上側 MOS のゲートを駆動します。
13	VS	LLC	LLC 部上側ドライバの基準電源端子 LLC 部上側 MOS のソースおよび下側 MOS のドレインに接続。
14	VB	LLC	LLC 部上側ドライバの電源端子 LLC 部上側ドライバ駆動用電源端子。
15-18	NC	-	沿面距離確保の為の空きピン
19	Vc2	共通	ドライバ用電源出力端子 PFC および LLC MOS ゲート駆動用電源出力端子。
20	PGND	共通	パワー系 GND 端子 パワー系の GND 接続端子。
21	CSP	PFC	PFC 部過電流検出端子 PFC 部主 SW の過電流を検出します。
22	VGP	PFC	PFC ゲート出力端子 PFC 部主 SW の駆動用。

1.5 適用回路構成例

図 3 . 基本構成例

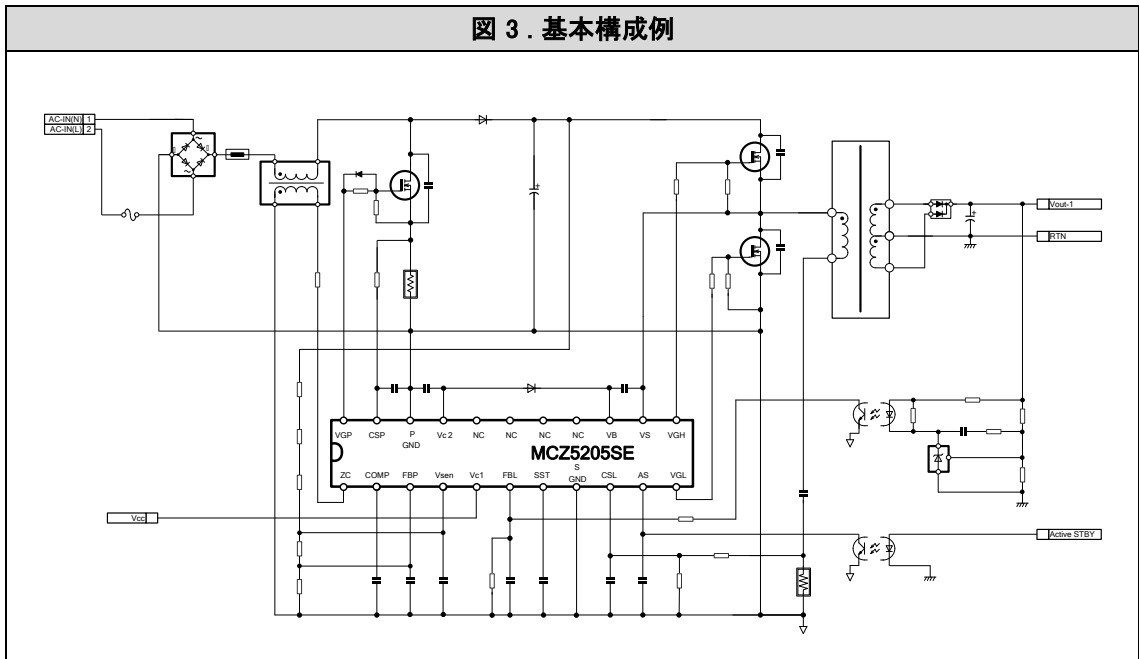
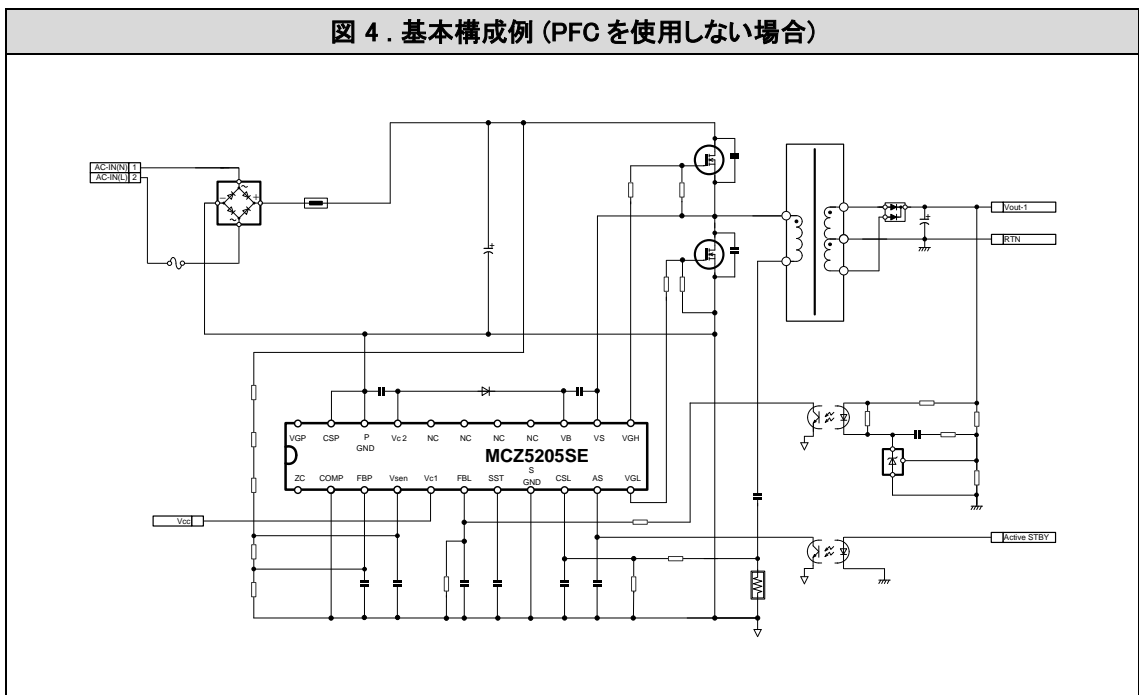


図 4 . 基本構成例 (PFC を使用しない場合)



2 基本動作の説明

※ 特に指定がない場合は、しきい値等の数値は TYP 表記しています。詳細は特性仕様書をご覧ください。

2.1 はじめに

MCZ5205SE は、以下の主要ブロックから構成されています。各ブロックの動作については、2.2 項以降をご覧ください。また、各機能の調整法については、3 項以降をご覧ください。

- ・ **電源供給部**

電源供給部については、2.2 項をご覧ください。

- ・ **PFC 部**

PFC 部の動作および保護機能については、2.3 項をご覧ください。

- ・ **LLC 部**

LLC 部の動作および保護機能については、2.4 項をご覧ください。

- ・ **共通部 (アクティブスタンバイ機能、共通保護機能)**

共通部の動作および保護機能については、2.5 項をご覧ください。

2.2 電源供給部

2.2.1 制御 IC 電源供給(Vc1 端子)

Vc1 端子は、制御 IC 電源供給用端子です。本端子から内部回路に電源供給されます。

Vc1 端子には安定した電圧を供給する為、IC の近くで対 GND 間にコンデンサを挿入します。

コンデンサ容量は、起動・切断などの過渡状態で安定する容量をご選定下さい。また、電源基板パターン等で Vc1 端子にノイズが入り MCZ5205SE が誤動作する場合、Vc1-GND 端子間直近に数 μ F の MLCC 等のコンデンサを挿入して下さい。

Vc1 端子電圧が **Vc1(start) 12.6V** 以上で Vc2 端子への充電を開始し、内部回路が動き始めます。

Vc1 端子電圧が **Vc1(stop) 8.5V** 以下になると、Vc2 端子は放電され IC は停止します。異常状態(タイマーラッチなど)等でラッチ停止した場合、Vc1 端子電圧を **Vc1(latch reset) 8.1V** 以下にすることでラッチ解除します。

2.2.2 ドライバ用電源出力 (Vc2 端子)

Vc2 端子は、ドライバ用電源出力端子です。本端子は、PFC および LLC それぞれのゲート出力端子に電圧を供給します。通常動作や起動・切断時等に安定したドライブを行う為に、Vc2-GND 間にコンデンサを挿入します。(4.7 μ F-22 μ F 程度を推奨します。)

コンデンサ容量は、起動・切断などの過渡状態で安定する容量をご選定下さい。

Vc1 端子電圧が Vc1(start)まで到達すると Vc2 端子に充電を開始し Vc2 端子が **Vc2(start) 9.6V** まで到達すると FBL 端子が発振開始してドライブ動作可能になります。

PFC および LLC のゲート出力動作開始条件は、2.3 項および 2.4 項をご覧ください。

2.2.3 LLC 部上側ドライバ電源 (VB 端子)

VB 端子は、LLC 部ハイサイドドライバ用電源端子です。本端子は、Vc2 端子よりブートストラップ用ダイオードを介して接続されます。ブートストラップ用コンデンサを VB 端子と VS 端子間に接続して下さい。VB-VS 間に接続されるコンデンサのコンデンサ容量は、起動・切断などの過渡状態で安定する容量をご選定下さい。ブートストラップ用ダイオードには、高速かつソフトリカバリー特性を持った 600V 以上(PFC 出力電圧を約 400V とした場合。)のものをういて下さい。弊社、**D1NK60** 等を推奨いたします。

VB 端子には、独立した低電圧保護機能を搭載しています。VB-VS 間端子電圧が **VB-VS(start) 7.4V** 以上でハイサイドゲート出力開始、**VB-VS(stop) 5.3V** 以下でハイサイドゲート出力停止します。このヒステリシスにより起動・切断時に安全で安定したドライブが可能となります

2.3 PFC 部

2.3.1 PFC ゲートドライバ (VGP 端子)

PFC のゲート出力は VGP 端子より行います。

VGP 端子は、安定したドライバ電源電圧 **Vc2 10.2V** から供給され、PFC ゲートドライバ駆動能力は、**0.23A(Source)/0.6A(Sink)**です。この値は、信号系誤動作を引き起こさずに MOSFET を十分高速にドライブできるように設計されています。

一般的に用いられる駆動回路の例を図 5 に示します。

A)、B)の様に電荷引き抜き用ダイオードを用いる場合には小容量ショットキーダイオードなどを用い、スナッピー(ハード)リカバリーダイオードは使わないように注意して下さい。推奨ダイオード例として新電元製 **D1NS4**(アキシアル)や **M1FM3**(面実装)があります。

また、Qg の大きい MOSFET を接続して引き抜きが十分でない場合、図 5 C)のように引き抜き側に PNP トランジスタを使用して下さい。

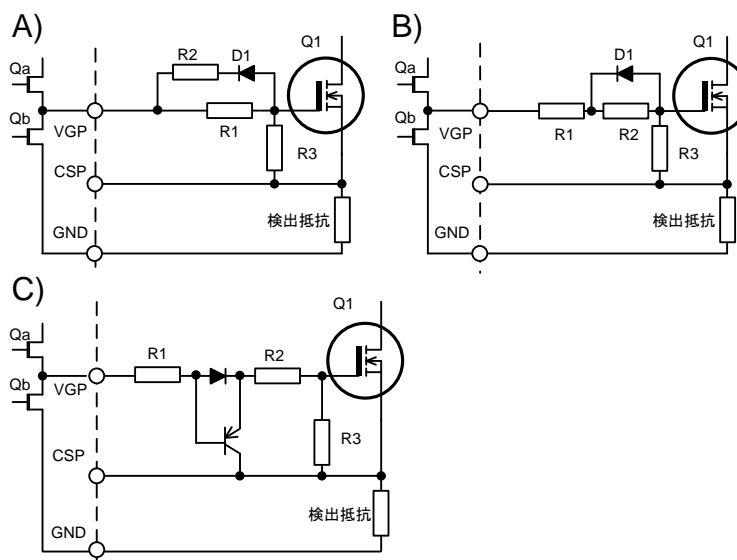


図 5 . PFC 部ゲート駆動回路

2.3.2 PFC 出力電圧制御および過電圧検出

PFC 出力電圧は、PFC ゲートオン幅を制御することにより出力電圧を安定化しています。図 6 のように、PFC 出力電圧を分圧しその電圧を FBP 端子で検出して内部リファレンス電圧 **Vo(ref) 2.5V** と比較する事でフィードバックを掛けます。その結果、この FBP 端子電圧が 2.5V となる出力電圧で一定に保たれます。

PFC は商用周波数に反応しないように応答を遅く設計します。そのため、起動時等の過渡的な状態では出力電圧が一時的に上昇する事があります。この対策として FBP 端子電圧が **Vfb(H) (Vo(ref) × 1.10)** を上回ると、過電圧検出によりゲート出力停止致します(ラッチ停止ではありません)。これによって、出力電圧の上昇を抑え電解コンデンサ等の回路部品を破壊から守る事ができます。

また、FBP 端子-GND 端子間直近にはノイズ対策として **1000pF** 程度のコンデンサを接続して下さい。

2.3.4 PFC 臨界動作

PFC 部は電流臨界動作方式を採用しており、メインチョークのコントロール巻線電圧を検出し、スイッチング素子のオンを行っています。このオンタイミングは ZC 端子により決まります。

図 9 のようにエネルギーの放出タイミングをコントロール巻線のネガティブエッジで検出し、 $V_{zc}(L)$ $0.55V$ を下回ったタイミングで主スイッチング素子をオンすることで電流臨界動作を行っています。

また、この $V_{zc}(L)$ に対して、 $V_{zc}(hys)$ $1.0V$ のヒステリシスをもたせることにより耐ノイズ性を高めています。

さらに、本 IC にはゲートオフ時のリングング電圧によってオントリガを検出してしまい電流臨界点よりも早くオンしてしまう誤動作を防止する為、ゲートオフ信号が出てからオントリガを禁止する期間 T_{on} デッドタイム T_{ondead} $800ns$ を設けています。これにより、ゲートオフ時のリングングによる誤動作を防止します。

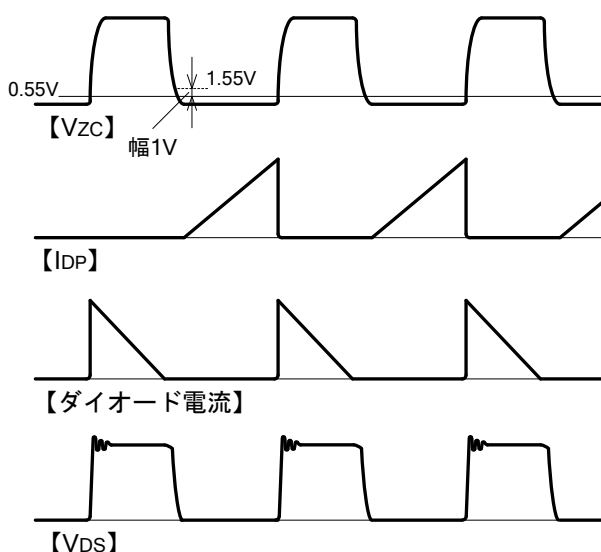


図 9 . PFC 部 オンタイミング (ZC 端子)

制御巻線-ZC 端子間には、制限抵抗を挿入します。この抵抗には2つの役割があります。

- ① 主 SW オフ後の共振動作中、主 SW の Drain-Source 間電圧が最下点(ボトム)でゲートを ON させる。

臨界動作型 PFC において、ダイオード電流が $0A$ になったときにメインチョーク L_p と共振コンデンサ (または MOS の Drain-Source 間寄生容量) C_q による共振周波数での減衰振動が始まります。このときの C_q の放電電流はメインチョークを通り入力側へエネルギーを返すように流れます。

この制限抵抗を調整することにより、減衰振動電圧の谷間で主 SW 素子をターンオンさせることができます。これにより、ターンオンロス低減することが可能です。

- ② ZC 端子流入・流出電流を制限する

ZC 端子に流すことの出来る最大電流 I_{zc} は $\pm 5mA$ であり、この電流値以内の制限抵抗を使用します。制限抵抗値の設計方法は 3.1 項をご覧ください。

また、この抵抗値の上限値の目安として、アブノーマル対策等で ZC 端子-GND 間にツェナーダイオードを接続する場合は、そのツェナーダイオードのリーク電流に十分注意し、オントリガに最低必要な $V_{zc}(H)$ $1.55V$ に対して十分マージンが取れている事を確認して下さい。

- ②から求められる R_{zc} の範囲で、①の役割(ボトム ON)を満たす抵抗値を選定して下さい。

2.3.5 PFC 過電流保護

PFC 過電流保護は、**図 10** のように PFC MOSFET の Source-GND 間に接続された過電流検出抵抗により決定される電圧を CSP 端子で監視することで行います。

CSP 端子電圧が **Vcsp 0.5V** 以上で PFC の主 SW を即オフします。通常動作時の最大ドレイン電流以上、且つチョーク飽和電流以下で過電流検出ポイントを設定して下さい。

なお、本 IC にはゲートオン直後のノイズによる過電流保護の誤動作防止の為、ゲートオン信号が入ってから一定期間、過電流検出を受け付けられないリーディングエッジブランク時間 **TLEB 500ns** を設けています。内部フィルタ期間は、約 400ns です。

LLC や Standby からのスイッチングノイズによる誤動作防止の為、**図 10** のようにコンデンサを挿入して下さい。コンデンサは、CSP-GND 間直近に接続して下さい。CSP-GND 間コンデンサは **0.1uF** 程度を推奨いたします。また、抵抗 R_{CSP2} を追加することによりさらにノイズによる誤動作防止を抑制できます。この場合の抵抗値は、**10Ω** 程度を推奨いたします。

CSP 端子の設計方法は **3.4 項** をご覧下さい。

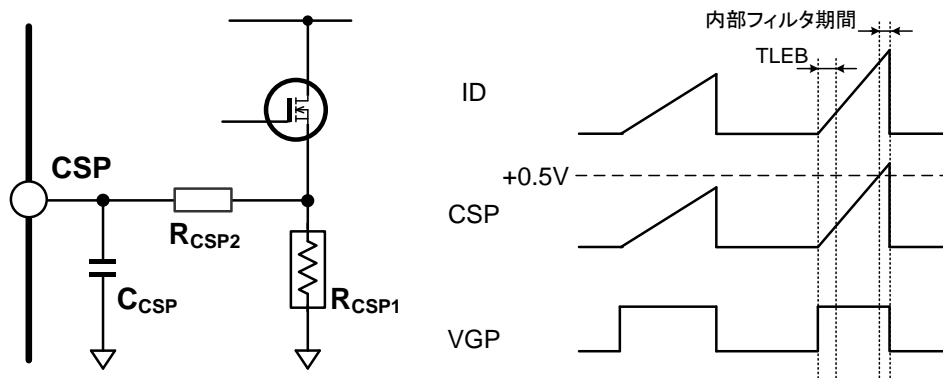


図 10 . PFC 部 CSP 端子接続例および動作シーケンス

2.3.6 フィードバック端子オープンショート保護

FBP 端子が GND に対してショート状態になった場合の保護として、FBP 端子電圧は、**Vfb(L) 0.4V** 以下になると PFC 部の発振を停止する機能を有しています。そのため、ショート状態になった場合でも安全に停止します。

また FBP 端子オープン時の保護として、IC 内部の FBP 端子-GND 間に数 μA 程度のプルダウン電流源が内蔵されており、端子オープン時にこの端子は GND 電位まで下がります。その為、FBP 端子電圧が **Vfb(L) 0.4V** 以下になり PFC 部は発振停止するため、安全に停止します。

2.3.7 低入力電圧保護

本 IC では入力電圧を検出していない為、AC 入力電圧が低い場合でも FBP 端子電圧 $> 0.4V$ であれば、IC からゲート信号は出力され発振します。

しかし、その状態が続くと主 SW やその他のデバイスへの負担が大きくなる為、本 IC では最大 ON 時間を設定し、オン幅の制限を行っております。

これにより、IC 内部で設定された最大 ON 時間 **Ton(max) 27.5us** でオン幅をクランプして出力を垂下させる事が出来るので、低入力電圧でも主 SW やその他デバイスへの負担を軽減することが出来ます。

2.3.8 軽負荷時 PFC 出力電圧上昇防止機能

軽負荷時は、ゲートのオン幅を絞り込むことで出力を安定させます。しかし、最小オン幅まで絞り込んでも出力電圧が上昇する場合には出力電圧上昇を抑える為、COMP 端子電圧が **Vth(burst) 0.8V** 以下でゲート発振停止するシーケンスを内蔵してあります。これにより、軽負荷時に必要以上の電力を出力側に供給することなく、出力電圧上昇を抑える事が可能となります。

2.4 LLC 部

2.4.1 LLC ゲートドライバ (VGL、VGH 端子)

LLC のゲート出力は VGL、VGH 端子より出力されます。
LLC ゲートドライバ駆動能力は、**0.18A(Source)/0.38A(Sink)**です。この値は、信号系誤動作を引き起こさずに MOSFET を十分高速にドライブできるように設計されています。一般的に用いられる駆動回路の例を図 11(A)に示します。図 11(B),(C)のように電荷引き抜き用ダイオードを用いる場合には小容量ショットキーダイオードなどを用い、スナッピー(ハード)リカバリーダイオードは使わないように注意して下さい。推奨ダイオード例として 新電元製 **D1NS4**(アキシシャル)や **M1FM3**(面実装)があります。

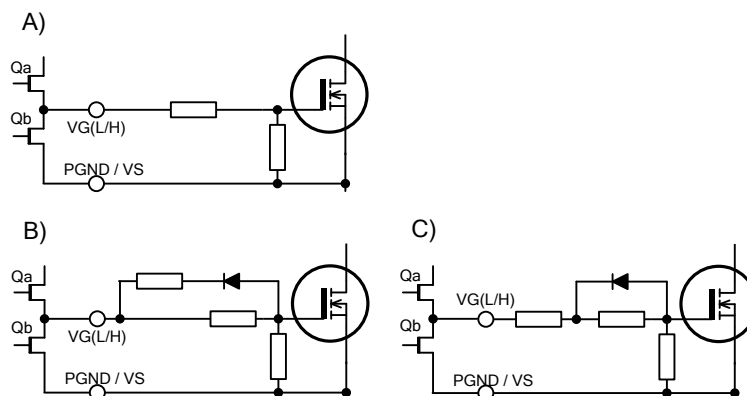


図 11 . ゲート駆動回路例

2.4.2 LLC 部発振制御部 (FBL 端子)

MCZ5205SE の LLC 部出力である主 SW の VGL,VGH は FBL 端子に接続されたオシレーター(以下、OSC)用コンデンサ C_t の充放電により決定されます。VGL,VGH 出力は C_t の放電時にそれぞれ出力され、VGL,VGH 出力が交互に出力することで、主 SW が交互に ON/OFF します。また、 C_t の充電時間は VGL,VGH 出力が同時に OFF するデッドタイム(以下、DT)になります(図 12 参照)。

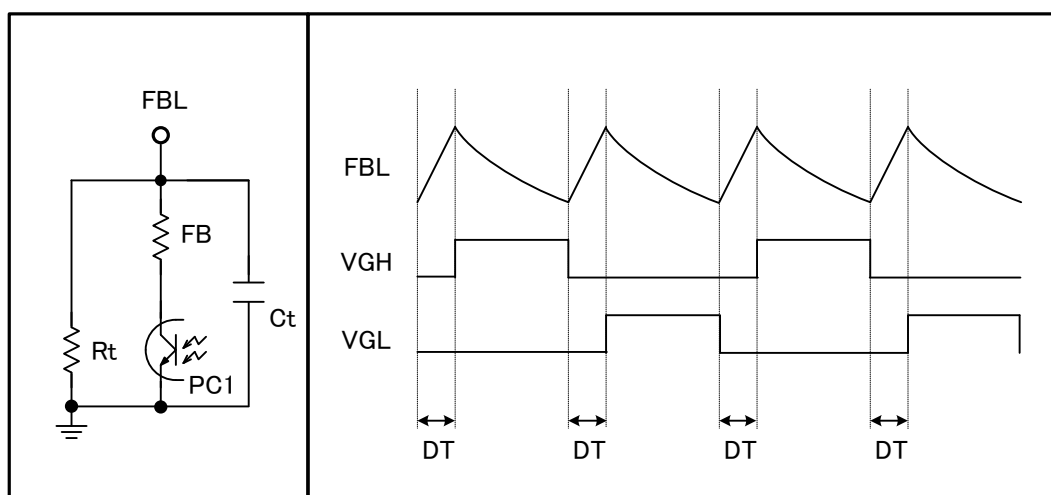


図 12 . FBL および VGL、VGH 動作波形

本 IC は周波数、ON duty 変調タイプです。周波数は FB ラインに接続された FB 制限抵抗に流れる FB 電流により変動し、ON duty は発振周波数に合わせて変動します(図 13 参照)。軽負荷時など、周波数が最大になる条件においてはデッドタイムが広くなるため全周波数範囲において ZVS(Zero Voltage Switching)確保が容易です。

最低発振周波数は FBL 端子に接続された Ct コンデンサ容量と並列に接続している Rt の外付け抵抗によって決定されます。最高発振周波数は、FBL 端子に接続された Ct コンデンサ容量と並列に接続している Rt および FB 抵抗値によって決定されます。連続動作時最高発振周波数 fmax は **300kHz** 以下を推奨いたします。また、ソフトスタート動作時の初期発振周波数 fss は Ct コンデンサ容量により変化します。詳細は、電源特性仕様書の特性図をご覧ください。

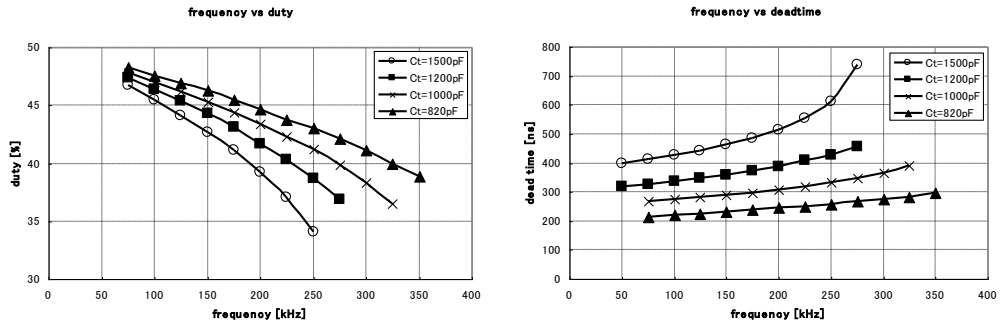


図 13 . 発振周波数および Duty と FB 制限抵抗特性

2.4.3 Vsen ブラウンアウト保護 (Vsen 端子)

Vsen 端子は PFC 出力電圧を監視し、その値に応じてゲートドライブパルス出力の禁止、発振周波数の制御を行います。この機能により Vc1 が印加されたままでの入力 Vbulk 投入時或いは入力電圧の瞬低および瞬断時などにコンバータが共振はずれ動作に移行することを防ぎます。

各端子の電圧と各出力のタイミングは図 14 を参考にして下さい。

入力上昇に伴い、Vsen 端子電圧が **Vsen1(ss-reset) 3.55V** に達すると、SST 端子への充電を行い、SST 端子電圧が **Vss(st) 0.6V** 以上の時に LLC はゲート出力を開始します。これにより、発振開始直後は発振周波数が高い状態から起動を開始し、徐々に SST 端子が充電すると共に発振周波数を低くしていきます。(SST については、2.4.4 項をご覧ください。)

入力低下時は、Vsen 端子電圧が **Vsen2(ss-reset) 3.25V** 以下になると、SST 端子を放電します。SST 端子が放電されることにより徐々に発振周波数を高くし、SST 端子電圧が **Vss(sp) 0.5V** 以下になると、ゲート出力は停止します。これにより、再度 Vsen 端子電圧が **Vsen1(ss-reset)** 以上になったときに発振周波数が低い状態から発振し共振はずれになることを防ぎます。

また、Vsen SS-Reset しきい値にはヒステリシスがあるため、PFC 出力電圧リップル等による Vsen ON/OFF 誤動作を防ぐことが出来ます。

なお、Vsen 端子 ON/OFF のしきい値は、後述するアクティブスタンバイモード状態の有無によって自動的に変わります。

- ・ 通常動作時(AS OFF) : Vsen ON 3.55V / Vsen OFF 3.25V
- ・ アクティブスタンバイモード時(AS ON) : Vsen ON 1.0V / Vsen OFF 0.9V

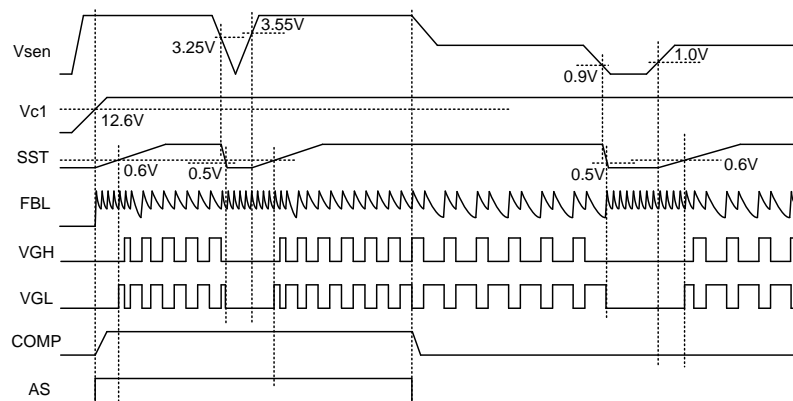


図 14 . Vsen 端子と各出力タイミングチャート図

2.4.4 ソフトスタート機能 (SST 端子)

LLC 部はソフトスタート機能を内蔵しており、SST 端子-GND 間に接続されたコンデンサを充電していくことにより発振周波数を徐々に広げて行きます。SST 端子が充電される条件としては、以下の 2 つを満たしている必要があります。

- ① Vc1 端子電圧が、**Vc1(start) 12.6V** 以上であること。
- ② Vsen 端子電圧が、**Vsen1(ss-reset) or Vsen3(ss-reset)** 以上であること。

SST 端子 0.6V 以上で発振開始、その後は **Vss(open) 2.1V** で一定となります。また、ヒステリシスをもち SST 端子 0.5V 以下で発振停止いたします。

SST 端子電圧と発振周波数の関係は、**図 15** をご覧ください。なお、詳細なデータは電源特性仕様書の特性図をご覧ください。

また、SST 端子は、異常状態時に主 SW や周辺回路への負荷を軽減する為にタイム間欠ラッチ停止機能を備えております。タイム間欠ラッチ停止機能の詳細は、**2.4.8 項** をご覧ください。

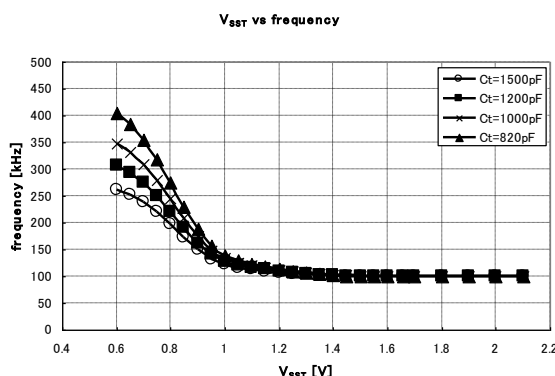


図 15. SST 電圧と発振周波数の関係

2.4.5 過電流保護 (CSL 端子)

LLC 部の過電流保護(OCP)動作はパルスバイパルスで上下 MOEFET のドレイン電流を検出して動作させます。CSL 端子の OCP 検出電圧は **OCP(+/-) +/-0.350V** です。この検出電圧は十分に低く、電流検出抵抗の無効な電力損失は抑制できます。

CSL 端子電圧が OCP 検出電圧に達すると、**図 16** のようにゲート出力は即オフされ FBL 端子はその時点で充電を開始して、同時に SST 端子のコンデンサを充電します。(SST 充電は **2.4.8 項** を参照下さい。) これにより、電流ピークをパルスバイパルスで抑制できます。

OCP を検出した次の周期(上側 MOSFET が OCP 検出した場合、次の下側 MOSFET)の FBL 端子放電期間は 1.9V までに制限されます。これにより、OCP 動作後の次の周期はオン幅が制限される為、オン幅が伸びすぎて共振はずれに入ったり波形が暴れたりするのを防ぎます。

なお、電源設計上の注意点として、後述します **2.4.6 項** の di/dt 保護機能により、通常動作における I_{pk} よりも OCP レベルを著しく高く設計いたしますと、di/dt 検出レベルも同時に高くなる為、通常電源動作時に di/dt 保護機能が働いて出力電圧が低下する場合があります。

また、本 IC では MOSFET のスイッチングによって発生するノイズによる OCP 誤動作防止のために、**図 16** のように FBL 端子放電開始から FBL 端子電圧 **V_{fbl(msk)} 2.8V** までを OCP マスクしています。よってこの期間は OCP 検出しません。

また、ランダムに入るノイズによる誤動作防止のため CSL 端子に内部フィルタを内蔵しています。このフィルタの遅れにより、OCP 検出～FBL 急速充電開始まで約 200ns の遅れが生じます。

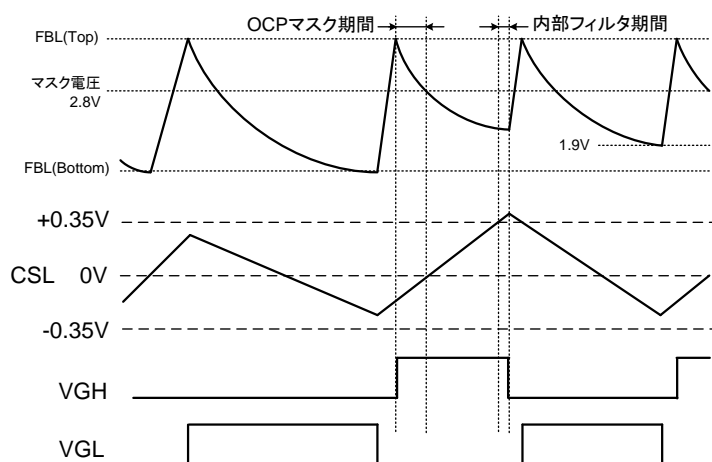


図 16. 過電流保護動作シーケンス

2.4.6 di/dt 保護機能 (CSL 端子)

MCZ5205SE は di/dt 保護機能(共振はずれ検出)を搭載しています。di/dt 保護機能はパルスバイパルスで両方向の MOSFET ドレイン電流をモニタし、OCP 保護動作同様に CSL 端子で検出を行います。di/dt 検出電圧は $V_{di/dt}(+/-) +/-60mV$ です。(図 17 を参照下さい。)

上側 MOSFET 動作期間では OCP マスク期間後に CSL 端子電圧が +60mV を下回るネガティブエッジを検出してゲート出力は即オフされ FBL 端子はその時点で充電を開始します。

下側 MOSFET 動作期間では OCP マスク期間後に CSL 端子電圧が -60mV を上回るポジティブエッジを検出してゲート出力は即オフされ FBL 端子はその時点で充電を開始します。

また、スイッチングによって発生するノイズによる di/dt 誤動作防止のために、FBL 放電開始から FBL 端子電圧 $V_{fbl}(msk)$ 2.8V まで di/dt 保護機能をマスクしています。よって、この期間に上記 +/-60mV を横切った場合、di/dt 検出しません。

なお、アクティブスタンバイ ON/OFF により、di/dt 動作時の SST 端子充電シーケンスが異なります。

- ・通常動作時(AS OFF) : di/dt 動作で SST 端子のタイマ充電は行いません。
- ・アクティブスタンバイモード時(AS ON) : di/dt 動作で SST 端子のタイマ充電を行います。

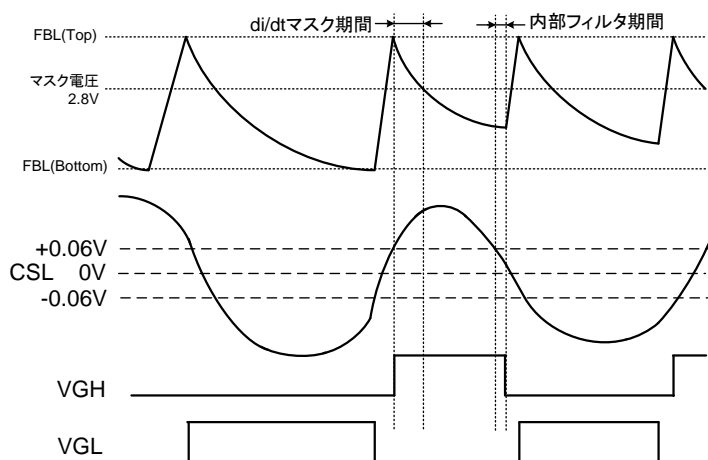


図 17. 共振はずれ保護動作シーケンス

2.4.7 起動時 di/dt 保護機能 (Tss(3)機能)

LLC 電流共振回路の電源動作開始直後、共振コンデンサの電圧が不安定な過渡的状态において、MOSFET に流れる電流がボディダイオードに流れている期間中にゲートがオフしてしまう場合があります。この状態では、ボディダイオードの trr 成分により、反対側 MOSFET がオンした際に短絡電流が流れてしまい MOSFET に負荷がかかります。

本 IC では **Tss(3)** 機能を内蔵しており、この起動時のボディダイオード導通中にゲートがオフすることを回避できます。Tss(3)シーケンスは図 18 のように電源動作開始後 2 発目のローサイド側 VGL 出力時に FBL 端子の Ct 充電開始電圧値を 0.8V まで下げることでローサイドのオン幅を伸ばします。これにより、MOSFET が正方向に電流が流れてからゲート出力をオフすることが出来ます。

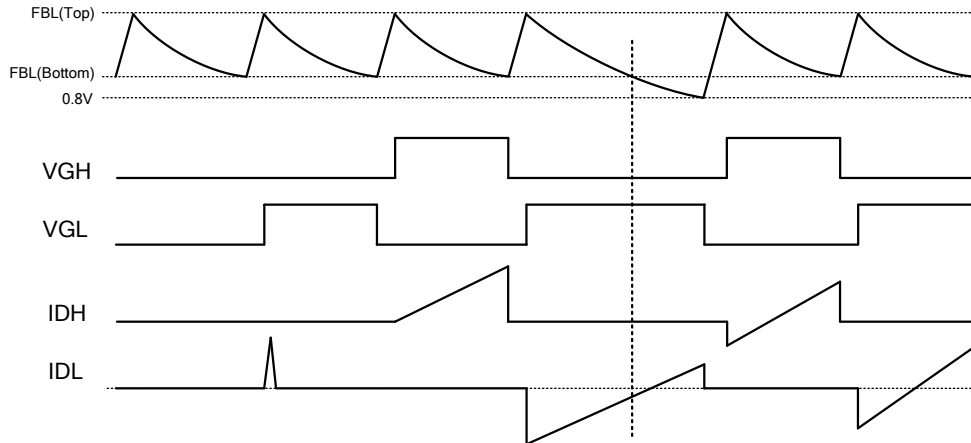


図 18 . Tss(3)動作シーケンス

2.4.8 タイマ間欠ラッチ停止機能 (SST 端子)

SST 端子コンデンサ Csst は以下の条件の時に充電を開始します。

- ① OCP 動作時
- ② アクティブスタンバイモードでの di/dt 保護動作時

上記状態が続き、異常信号が入り続けて SST 端子電圧が **Vtimer(set) 3.6V** まで達しますと間欠動作モードになります。間欠動作モード中に異常信号が無くなると正常発振に戻りますが、この間欠発振モードが連続で 2 回カウントされると IC がラッチ停止します。ラッチリセットは $Vc1 < 8.1V$ です。

OCP 動作やアクティブスタンバイモード時の di/dt 保護動作が働くと、SST 端子は FBL 端子の充放電 8 周期間分 SST 端子の充電を行います。SST 端子充電電流 **Itimer(charge)** は $40 \mu A$ です。詳細は図 19 をご覧下さい。

また、図 19 のようにラッチカウンタのリセット機能を搭載しています。ラッチカウンタリセット条件は以下の 2 つです。

- ① SST = 2.1V 到達時
- ② SS リフレッシュ時 ($Vc1$ ON/OFF 時)

この機能により、電源が正常に機能するとラッチカウンタは 0 になります。異常状態が継続された場合は、ラッチカウンタリセットを行わず、2 回カウント後はタイマーラッチ停止になります。

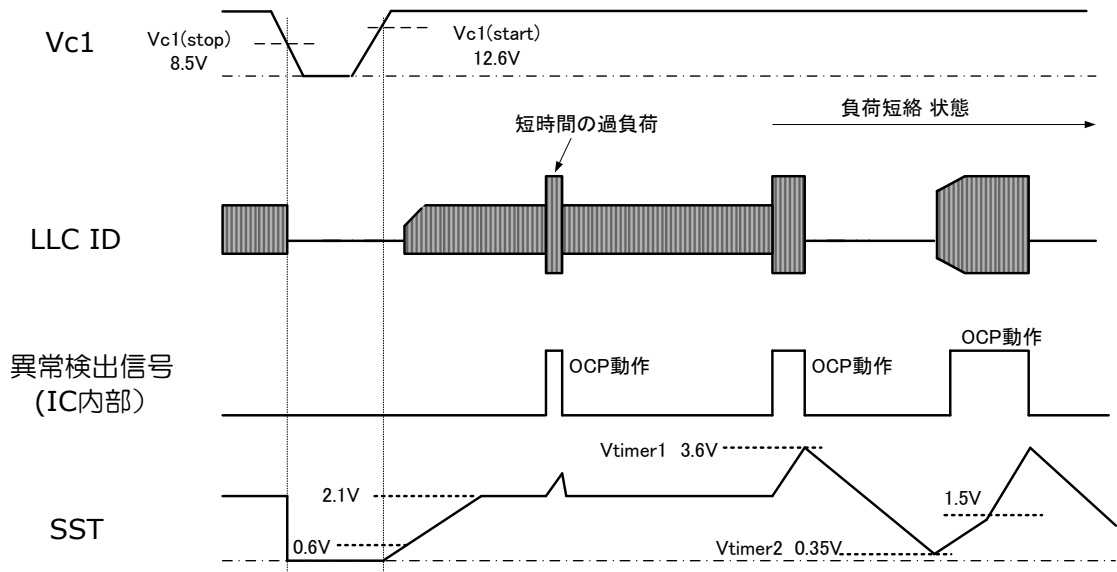


図 19 . SST 動作シーケンス

2.4.9 ハイサイドドライバ電源

ハイサイド MOSFET 駆動用フローティング電源 (VB) は、図 20 に示すように Vc2 端子の 10.2V レギュレータ出力コンデンサを電圧源として高圧側へ向かうダイオード Dboot とフローティング平滑コンデンサ Cboot によるブートストラップ回路により生成されます。

外付け Dboot によるブートストラップ回路採用によりローサイドとハイサイドの電位差が最小限に保たれ、過渡的にも安定した駆動用電源が供給できます。

Cboot には MLCC を用い、その値は **0.1uF-1.0uF** を推奨します。また Dboot には高速かつソフトリカバリー特性を持った 600V 耐圧以上のものを用いて下さい。新電元製 **D1NK60** 或いは **D1FK60**(面実装) を推奨いたします。(PFC 出力電圧を約 400V とした場合。)

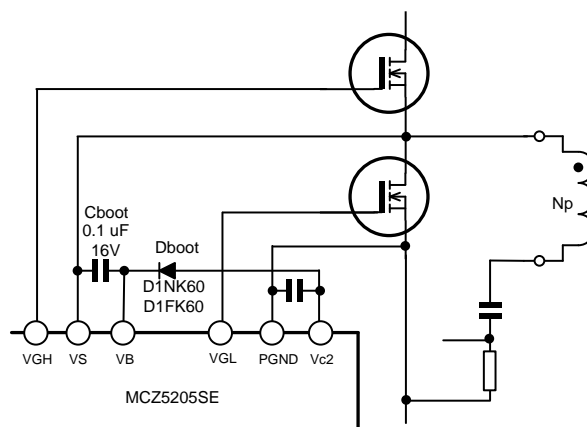


図 20 . Boot Strap ハイサイド Vcc 生成回路

2.5 共通部

2.5.1 アクティブスタンバイ機能 (AS 端子)

本 IC は、アクティブスタンバイ機能を備えており、軽負荷時の損失低減に貢献します。アクティブスタンバイ回路構成例は、**図 21** をご覧下さい。

AS 端子は、AS 端子電圧が **Vas(on) 0.8V** 以下でアクティブスタンバイモードへ移行します。アクティブスタンバイモード移行後、AS 端子電圧を **Vas(off) 1.0V** 以上にすることでアクティブスタンバイモードから通常動作モードへ移行します。

AS 端子には、ノイズによる誤動作防止のために IC 直近にコンデンサを挿入して下さい。フィルタ用コンデンサは、**1000-10000pF** 程度を推奨いたします。(AS 機能を使用しない時も誤動作防止の為、**1000-10000pF** 程度のフィルタ用コンデンサを挿入して下さい。)

AS 端子は、端子オープン時に **Vas(open) 2.4V** になるように調整されております。アクティブスタンバイ回路構成例(**図 21**)のように、フォトカプラを ON させて AS 端子をショートするとアクティブスタンバイモードに移行します。

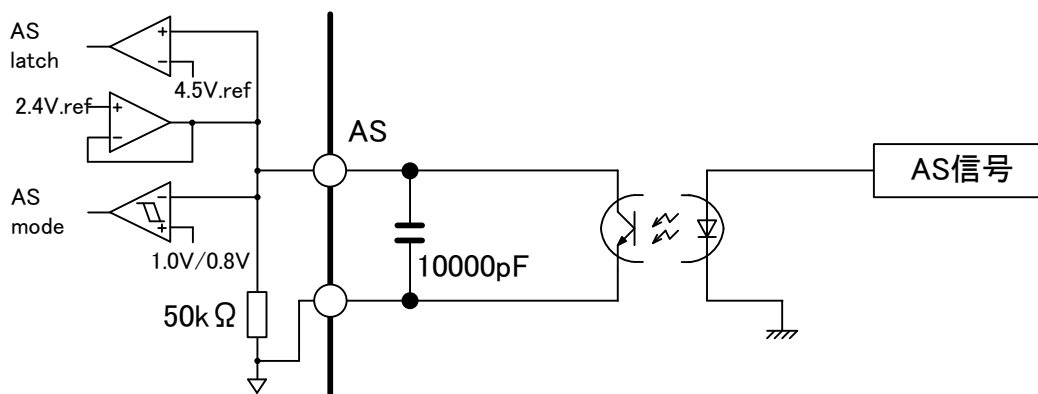


図 21 . アクティブスタンバイ回路構成例

アクティブスタンバイモードに入ると、以下の動作を行います。(図 22 をご参照下さい。)

- ① LLC 部動作モードを対称動作から非対称動作へ切り替える。
- ② Vsenしきい値(SS-Reset)を、**3.55V/3.25V** から **1.0V/0.9V** へ切り替える。
- ③ di/dt 動作時の SST 端子充電を有効に切り替える。
- ④ PFC 部の発振を停止する。

LLC 部を非対称動作に切り替えることにより、軽負荷時の励磁電流ピークが抑えられるため、損失低減が期待できます。また、PFC の発振を停止するシーケンスを内蔵しているため、PFC 部損失を抑えることができます。これにより、軽負荷領域での大幅な効率改善が期待できます。

また、PFC が発振を停止して PFC 出力電圧が下がった状態でも安全に動作できるように、自動で Vsenしきい値(SS-Reset)を切り替えます。このシーケンスは、IC 内部で行いますので追加周辺部品は不要です。これにより、アクティブスタンバイモード時も低入力保護が働きます。

さらにアクティブスタンバイモード時は di/dt 動作時の SST 端子タイマ充電を有効にし、過電流保護を行っています。

アクティブスタンバイのオン/オフ時のシーケンスにつきましては、**図 22** をご覧下さい。

アクティブスタンバイをオフすると、COMP 端子が充電可能状態になり COMP 電圧が上昇し $V_{th}(\text{burst}) 0.8V$ 以上になると PFC が動作開始します。本 IC では、FBP 端子電圧が $V_{fb}(\text{asof}) 2.0V$ までは、LLC の発振は非対称動作を続けます。また Vsen しきい値(SS-Reset)の切り替えも行いません。FBP 端子電圧が 2.0V を超えると LLC の発振は非対称動作から対称動作に切り替わり、Vsen しきい値 (SS-Reset)も切り替わります。詳細なシーケンスは、**図 22** をご覧下さい。これにより、安全に通常動作モードに切り替わることが出来ます。

また、AS 端子にはラッチ停止機能を備えており、AS ラッチ停止電圧 $V_{as}(\text{latch}) 4.5V$ 以上でラッチ停止します。この場合、SST 充電によるタイマーラッチとは異なり即ラッチ停止します。尚、ラッチ機能が働くと、PFC および LLC とともに発振が停止します。ラッチリセットは $V_{c1} < 8.1V$ です。

アクティブスタンバイ(AS)シーケンス

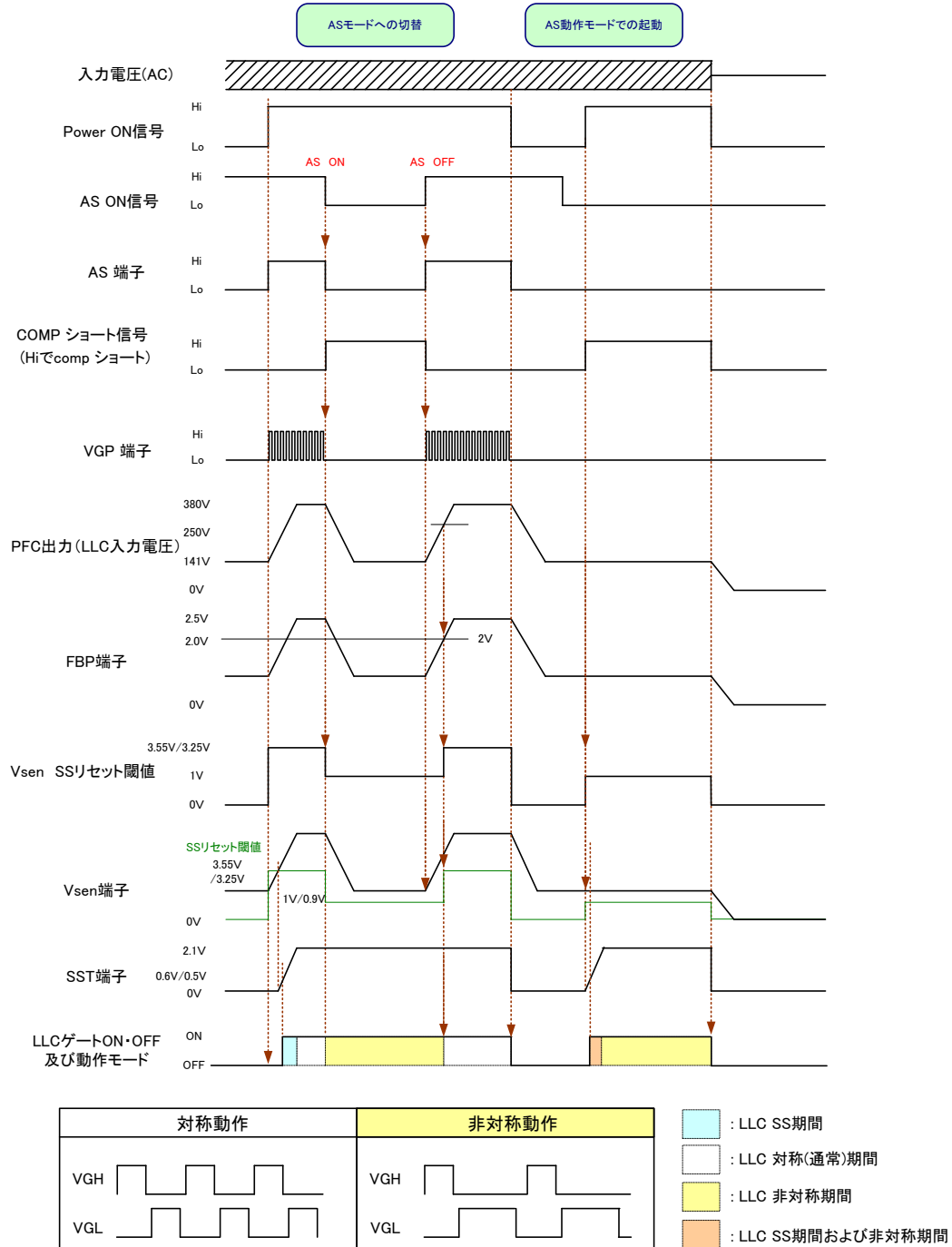


図 22 . アクティブスタンバイモードシーケンス

2.5.2 過熱保護機能 (TSD 機能)

本 IC には、過熱保護機能があります。過熱保護機能は PFC および LLC で共通となっており、本機能が働くと PFC および LLC とともに発振が停止します。

過熱保護動作開始温度は、動作停止温度 **TSD 140°C.min** です。過熱保護温度にはヒステリシスがあり過熱保護解除温度は動作停止温度より Δ TSD 40°C下がると解除され通常動作に戻ります。

2.6 参考

2.6.1 PFC のみ単独動作させたい時

LLC を停止させて PFC のみ動作させたい場合、SST-GND 間をショートして下さい。

2.6.2 LLC のみ単独動作させたい時

PFC を停止させて LLC のみ動作させたい場合、COMP-GND 間をショートして下さい。

LLC は通常動作時 $V_{sen} < 3.5V$ まではゲート出力されません。電源評価時等に LLC を低い入力電圧から動作させたい時は V_{sen} 端子に 3.5V 以上の電圧を加えて下さい。但し、約 12V を超えると内部クランプ素子が導通しますので V_{sen} 端子流入電流は 2mA 程度に制限して下さい。ただし、この状態で入力 ON/OFF などをおこなうと共振はずれなどが続いて MOSFET へ多大な負荷を与える場合がありますので、上記 V_{sen} 解除はあくまで電源評価時の検討用として行って下さい。

なお、アクティブスタンバイモードで起動してその後アクティブスタンバイモードを解除した場合、前述の 2.5.1 より FBP 端子電圧が 2V を超えないと LLC の動作モードが非対称から対称へは切り替わりません。そのような動作確認が必要な場合は、FBP 端子に 2V 以上印加して下さい。

3 周辺回路定数の決定

3.1 PFC 部 オンタイミングの調整 (ZC 端子)

図 23 に示される PFC 部のオンタイミングを決める ZC 端子の電流制限用抵抗値 R_{ZC} を求めます。ZC 端子の最大流入・流出電流は、 $I_{ZC} \pm 5\text{mA}$ です。ZC 端子に流れる最大電流を式(2、3)により求め、この電流が $\pm 5\text{mA}$ を超えないようにして下さい。

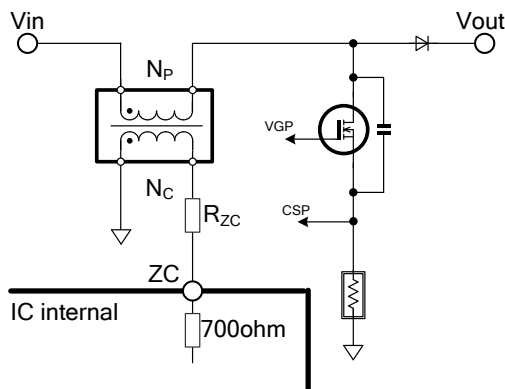
チョーク設計時、 N_c 巻線は図 23 に示される極性で作製して下さい。

また、 N_c 巻線ターン数は最大入力電圧時に 1.55V 以上の電圧が制御巻線に発生する必要がありますので、式(1)を目安に最小の整数で決定して下さい。W/W 入力での $V_{in(AC)max}$ を 264V、PFC 出力電圧 V_o を 390V とした場合、 N_p と N_c の巻数は大体 10:1 が目安になります。例えば、W/W 想定で N_p が 50 ターンの場合、 $V_{in(AC)max}=264\text{V}$ 、 $V_o=390\text{V}$ とすると $N_c > 4.5$ となり、 N_c は 5 ターンとなります。

$$N_c > 1.55 \times \frac{N_p}{V_o - [\sqrt{2} \times V_{in(AC)max}]} \quad \dots(1)$$

ZC 電流を最大定格 $\pm 5\text{mA}$ の 80%、 $\pm 4\text{mA}$ とすると以下の式で算出された ZC 抵抗値よりも大きい抵抗値を選択します。

なお、ZC 端子内部には、約 700Ω の抵抗がシリーズに挿入されております。



◆ 制御巻線プラス側

$$R_{ZC+} = \frac{(V_o - V_{inmin}) \times \left(\frac{N_c}{N_p}\right) - 6}{4 \times 10^{-3}} - 700 \quad [\Omega] \quad \dots(2)$$

※6V は、ZC 端子内部ツェナー電圧

◆ 制御巻線マイナス側

$$R_{ZC-} = \frac{(-V_{inmax}) \times \left(\frac{N_c}{N_p}\right)}{-4 \times 10^{-3}} - 700 \quad [\Omega] \quad \dots(3)$$

図 23 . ZC 制限抵抗値

設計例として、 $V_o=400\text{V}$ 、 $V_{in(AC)max}=276\text{V}$ 、 $N_p=50\text{[Turn]}$ 、 $N_c=5\text{[Turn]}$ の時、

$$\text{◆ 制御巻線プラス側： } R_{ZC+} = \frac{(400 - 0) \times \left(\frac{5}{50}\right) - 6}{4 \times 10^{-3}} - 700 = 7.8\text{[k}\Omega\text{]}$$

$$\text{◆ 制御巻線マイナス側： } R_{ZC-} = \frac{(-276 \times \sqrt{2}) \times \left(\frac{5}{50}\right)}{-4 \times 10^{-3}} - 700 = 9.1\text{[k}\Omega\text{]}$$

よって、ZC 制限抵抗 R_{ZC} は 9.1kΩ 以上に設計します。

3.2 PFC 部 位相補償の調整 (COMP 端子)

PFC 部 エラーアンプはトランスコンダクタンスアンプ (gm アンプ) を使用しています。位相補償調整については、**図 24** の様にコンデンサと抵抗を接続下さい。

またそれぞれの定数につきましては、以下計算式を参考に、最終的には実機にて調整下さい。

Ccomp1、Ccomp2 は、カットオフ周波数 f_c が 20Hz 以下になるよう、以下の計算式を目安に選定下さい。

$$f_c = \frac{140\mu}{2\pi \times (C_{comp1} + C_{comp2})} \text{ [Hz]} \quad \dots(4)$$

注)アンプのトランスコンダクタンス値 $140\mu\text{[A/V]}$

また Ccomp2 は $0.1\mu\text{F}$ 程度を目安に調整して下さい。

Rcomp は、傾向として値を大きくするとカットオフ周波数以上の高い周波数領域でのゲインを上げる事が出来ます。ただし、大きくしすぎると波形歪みの原因になりますので、力率等ご確認頂きながら、 $4.7\text{k}\Omega \sim 47\text{k}\Omega$ を目安に調整して下さい。

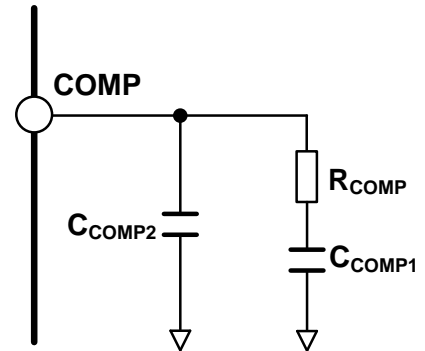


図 24 . COMP 端子調整

3.3 PFC 部 出力電圧および過電圧の調整 (FBP 端子)

PFC 出力電圧は、外付けに接続する分圧抵抗値により決定します。(図 25 参照)

式(5)より、PFC 出力電圧値を決定して下さい。なお、損失低減のため、上側分圧抵抗値は $2\text{M}\Omega$ 程度を推奨いたします。(PFC 出力電圧を約 400V とした場合。)

また、ノイズによる誤動作防止の為、FBP-GND 間にはコンデンサ C_{FBP} を挿入して下さい。このコンデンサはフィードバックの応答に影響しますので、 1000pF 程度を推奨いたします。

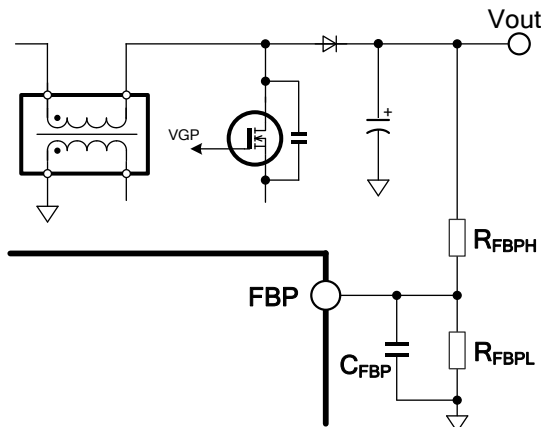


図 25. FBP 分圧抵抗値

$$\text{PFC } V_o = \frac{2.5 \times (R_{FBPH} + R_{FBPL})}{R_{FBPL}} \quad \dots(5)$$

また、過電圧検出電圧(2.3.2 項参考)は式(6)で表されます。PFC 出力コンデンサの耐圧は、この過電圧検出電圧+マージンを持ってご選定下さい。

$$\text{PFC } V_o(\text{OVP}) = \frac{2.75 \times (R_{FBPH} + R_{FBPL})}{R_{FBPL}} \quad \dots(6)$$

3.4 PFC 部 過電流保護ポイントの調整 (CSP 端子)

PFC 部の過電流保護ポイントは式(7)により決定します。なお、 P_s は過電流保護ポイントにおける PFC 負荷電力、 η は PFC 入出力電力変換効率となります。

$$R_{CSP} = 0.5 \times \frac{\eta \times AC_{\min} \times \sqrt{\frac{V_o - (AC_{\min} \times 1.2)}{3V_o}}}{\sqrt{2} \times P_s} \quad [\Omega] \cdots (7)$$

3.5 LLC 部 入力監視電圧の調整 (Vsen 端子)

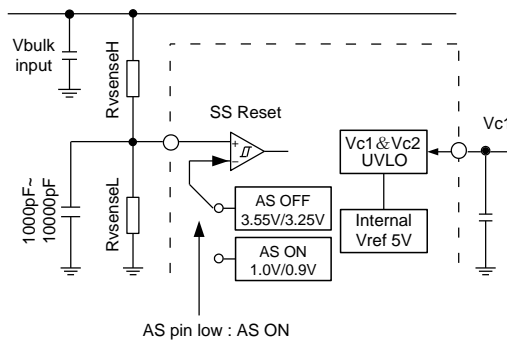
通常動作時の Vsen しきい値は、Vsen(ON)が **3.55V**、Vsen(OFF)が **3.25V** です。
アクティブスタンバイモード時の Vsen しきい値は、Vsen(ON)が **1.0V**、Vsen(OFF)が **0.9V** です。

Vsen 端子 sink 電流は 0.2uA 必要で、sink 電流の影響を受けない為にも 20uA 程度電流が流れるように設計するのを推奨いたします。高電位側 Vbulk 検出抵抗 RvsenseH は **2M Ω** 程度を推奨します。(PFC 出力電圧を約 400V とした場合。)

Vsen 端子と GND 間にはノイズ吸収用に **1000pF~10000pF** 程度を接続して下さい。

式(8)で所望の Brown Out 保護電圧しきい値 Vbulkreset から初期値 RvsenseL(init)を算出し、その後 式(9)に実定数を代入して Vbulkreset の値を最終確認して下さい。

アクティブスタンバイモード時は、Vsen しきい値が変わりますので式(10)に実定数を代入して所望の Vbulkreset(AS ON)をご確認下さい。



$$R_{V\text{senseL}}(\text{init}) = \frac{3.25 \times R_{V\text{senseH}}}{V_{\text{bulkreset}} - 3.25} \quad \cdots (8)$$

$$V_{\text{bulkreset}} = \frac{R_{V\text{senseH}} + R_{V\text{senseL}}}{R_{V\text{senseL}}} \times 3.25 \quad \cdots (9)$$

$$V_{\text{bulkreset}}(\text{AS ON}) = \frac{R_{V\text{senseH}} + R_{V\text{senseL}}}{R_{V\text{senseL}}} \times 0.9 \quad \cdots (10)$$

図 26. Vsen 端子内部構造

3.6 LLC 部 発振器調整 (FBL 端子)

LLC 部の発振周波数は、FBL 端子により制御されています。FBL 端子では、デッドタイムおよび初期・最高・最低発振周波数を決定します。

3.6.1 デッドタイムおよび初期発振周波数 f_{ss} の調整 (Ct 用コンデンサの調整)

デッドタイムおよび初期発振周波数 f_{ss} は、Ct コンデンサ容量により決定します。Ct コンデンサ容量によりデッドタイムおよび初期発振周波数 f_{ss} は変動しますので、電源特性仕様書の特性図より Ct コンデンサ容量をご選定下さい。

なお、Ct コンデンサ容量は、デッドタイムおよび f_{ss} の関係から 820pF~2200pF 程度を推奨いたします。

3.6.2 最低発振周波数 f_{min} の調整 (Rt 制限抵抗の調整)

最低発振周波数 f_{min} は、FBL 端子-GND 間に接続される Rt 抵抗値により決定されます。Rt 抵抗値と発振周波数の関係は電源特性仕様書の特性図をご確認下さい。特性図より、所望の f_{min} になる Rt 抵抗値を算出後、 f_{min} を式(11)-(13)により確認して下さい。

ここで、 t_{charge} はデッドタイム期間、 $t_{discharge}$ は片側ゲートオン期間です。

なお、ここで算出される値は概算値です。実際にはコンパレータの応答遅れにより、VFBL(top)および VFBL(bottom)しきい値から約 100ns 遅れて FBL は放電もしくは充電を開始します。

まずは概算値で定数決定後、実測の発振周波数は、電源特性仕様書の特性図をご覧のうえ、調整して下さい。(VFBL(bottom) : 1.70V , VFBL(top) : 3.15V)

$$t_{charge} = \frac{Rt \times Ct \times VFBL_{(top)}}{Rt \times 5.5 \times 10^{-3} - VFBL_{(top)}} - \frac{Rt \times Ct \times VFBL_{(bottom)}}{Rt \times 5.5 \times 10^{-3} - VFBL_{(bottom)}} \quad \text{---- (11)}$$

$$t_{discharge} = -Rt \times Ct \times \ln \frac{VFBL_{(bottom)}}{VFBL_{(top)}} \quad \text{---- (12)}$$

$$f_{min} = \frac{1}{2 \times (t_{charge} + t_{discharge})} \quad \text{---- (13)}$$

3.6.3 最高発振周波数 f_{max} の調整 (FB 制限抵抗の調整)

最高発振周波数 f_{max} は、並列に接続された Rt 抵抗値と FB 抵抗値により決定されます。電源特性仕様書の特性図をご確認のうえ、最高発振周波数を決定して下さい。

3.7 LLC 部 ソフトスタートおよび異常時のタイマ充電時間の調整 (SST 端子)

ソフトスタート動作時の SST 端子への SS 充電電流 $I_{ss}(\text{charge})$ は $28\mu\text{A}$ となります。SST 電圧が SS しきい値 $V_{ss} 1.5\text{V}$ 以上になると OCP 動作時の Timer 充電が可能になりますので、ソフトスタート時間は $SST=1.5\text{V}$ に到達するまでの時間で設計します。SST 電圧が 0.6V でゲート出力が開始されてから SST 電圧が 1.5V 到達までの時間を t_{ss} とすると、式(14)のように求められます。ソフトスタート時の SST 端子電圧と発振周波数の関係は、特性仕様書の特性図をご覧ください。

$$t_{ss} = \frac{0.9 \times C_{SS}}{28 \times 10^{-6}} \quad \dots(14)$$

また、異常動作時の SST 端子への Timer 充電電流 $I_{timer}(\text{charge})$ は $40\mu\text{A}$ となります。SST 電圧が 2.1V で安定後、OCP 動作により SST 端子電圧が増加していき、 $SST=3.6\text{V}$ まで達する時間 T_{timer} は、式(15)のように求められます。

$$t_{timer} = \frac{1.5 \times C_{SS}}{40 \times 10^{-6}} \quad \dots(15)$$

また、 $SST=3.6\text{V}$ 到達後の間欠動作時 SST 端子からの Timer 放電電流 $I_{timer}(\text{discharge})$ は、 $6.0\mu\text{A}$ となります。

なお、間欠動作時発振停止期間は、SST 電圧が $V_{timer}(\text{reset}) 0.35\text{V}$ まで下がると解除されます。よって、間欠動作時の発振停止時間 $T_{timer}(\text{停止})$ は、式(16)のように求められます。

$$t_{timer(\text{停止})} = \frac{3.25 \times C_{SS}}{6 \times 10^{-6}} \quad \dots(16)$$

3.8 LLC 部 過電流保護(OCP、di/dt)ポイントの調整 (CSL 端子)

OCP 動作させたい所望の OCP 動作電流しきい値 I_{pk} より共振電流検出抵抗 R_{ocpdet} を式(17)により決定し、式(18)より $R_{ocp}(\text{init})$ を算出します。

実定数を R_{ocpL} に代入して式(19)より OCP 動作電流しきい値 I_d を確認して下さい。 R_{ocpH} は、CSL 端子電流 $I_{csl} 95\mu\text{A}$ を考慮して $10[\Omega] \sim 47[\Omega]$ 程度を推奨します。

R_{ocpH} および R_{ocpL} の抵抗値を大きくする場合には、CSL 端子電流による CSL 端子電圧の持ち上がりを考慮して計算を行って下さい。

なお、OCP 検出電圧は $\pm 0.350\text{V}$ 、di/dt 検出電圧は $\pm 0.06\text{V}$ であり、OCP 検出電圧を通常動作電流よりも著しく高く設計すると、通常動作時に di/dt 機能が動作してしまい、出力が低下してしまう可能性があります。

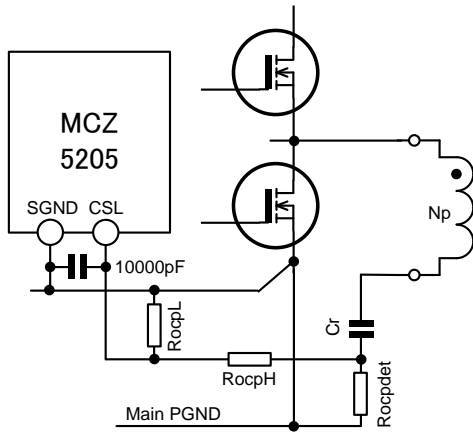


図 27. CSL 周辺回路

CSL 端子にはスイッチングノイズによる誤動作を防ぐ為、フィルタ用コンデンサをいれて下さい。フィルタ用コンデンサは **10000pF** 程度 ($R_{ocpH}=10\Omega$ 時) を推奨します。

$$R_{ocpdet} > \frac{0.35}{I_{pk}} \quad [\text{ohm}] \quad \dots(17)$$

$$R_{ocpL(\text{init})} = \frac{0.35 \times R_{ocpH}}{I_{pk} \times R_{ocpdet} - 0.35} \quad [\text{ohm}] \quad \dots(18)$$

$$I_d = \frac{R_{ocpH} + R_{ocpL}}{R_{ocpL} \times R_{ocpdet}} \times 0.35 \quad [\text{A}] \quad \dots(19)$$

3.9 FBP および Vsen 検出ラインを共通にした場合の検出抵抗値の算出

FBP および Vsen 検出ラインを共通にする場合は、**図 28** に示す構成で分割抵抗値を算出して下さい。高電位側 Vbulk 検出抵抗 R_H は **2M Ω** 程度を推奨いたします。(PFC 出力電圧を約 400V とした場合。)

なお、Vsen-GND 間コンデンサ容量を大きく設定すると PFC の応答にも影響しますので、 C_{Vsen} は **1000pF** 程度を推奨いたします。また、FBP-GND 間コンデンサ C_{FBP} も PFC の応答にも影響しますので **1000pF** 程度を推奨いたします。

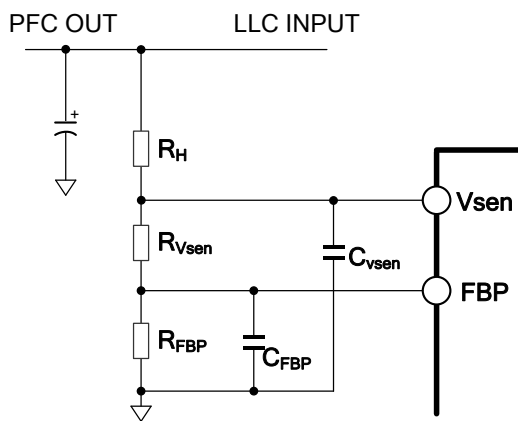


図 28. FBP 分圧抵抗値

所望の PFC 出力電圧 PFC V_o および Brown Out 保護電圧しきい値 $V_{bulkreset}$ を式(20)に代入して、 R_{FBP} を算出して下さい。

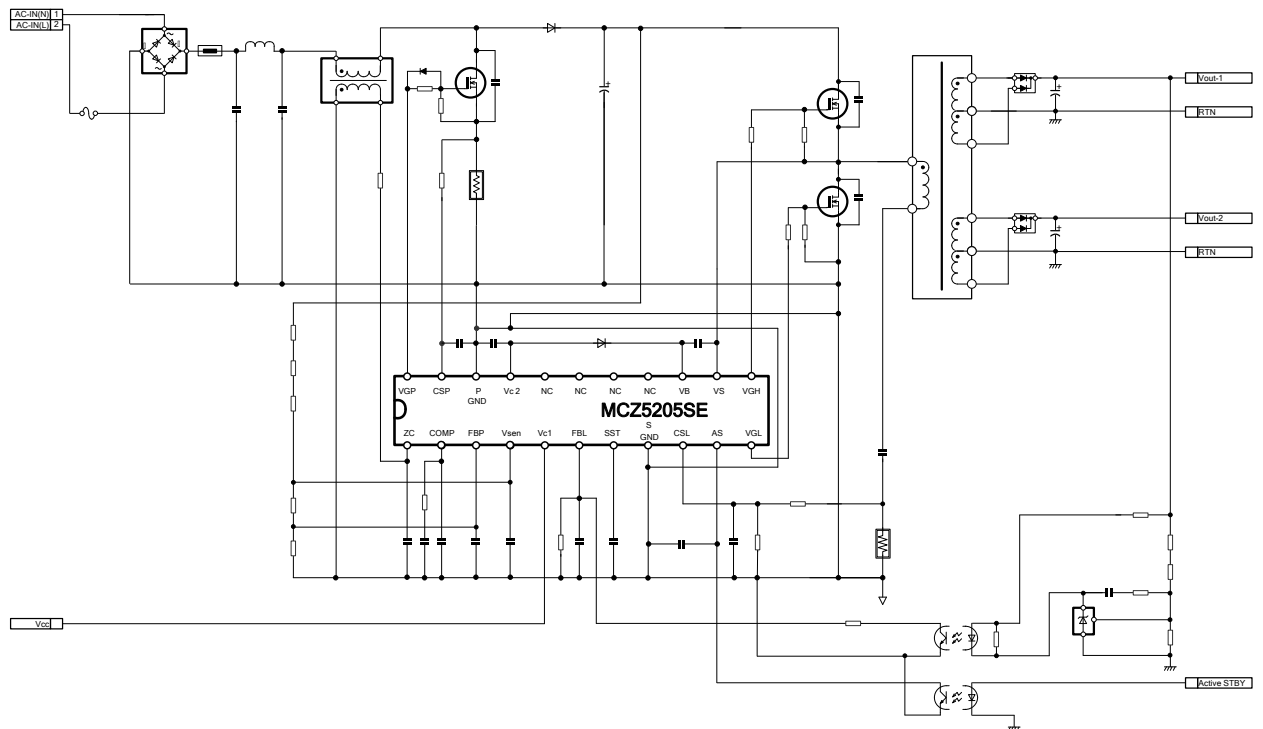
その後、式(21)に代入して R_{Vsen} を算出して下さい。

$$R_{FBP} = \frac{2.5 \times R_H \times V_{bulkreset}}{PFC \ V_o \times (V_{bulkreset} - 3.25)} \quad \dots(20)$$

$$R_{Vsen} = \frac{3.25 \times R_H}{V_{bulkreset} - 3.25} - R_{FBP} \quad \dots(21)$$

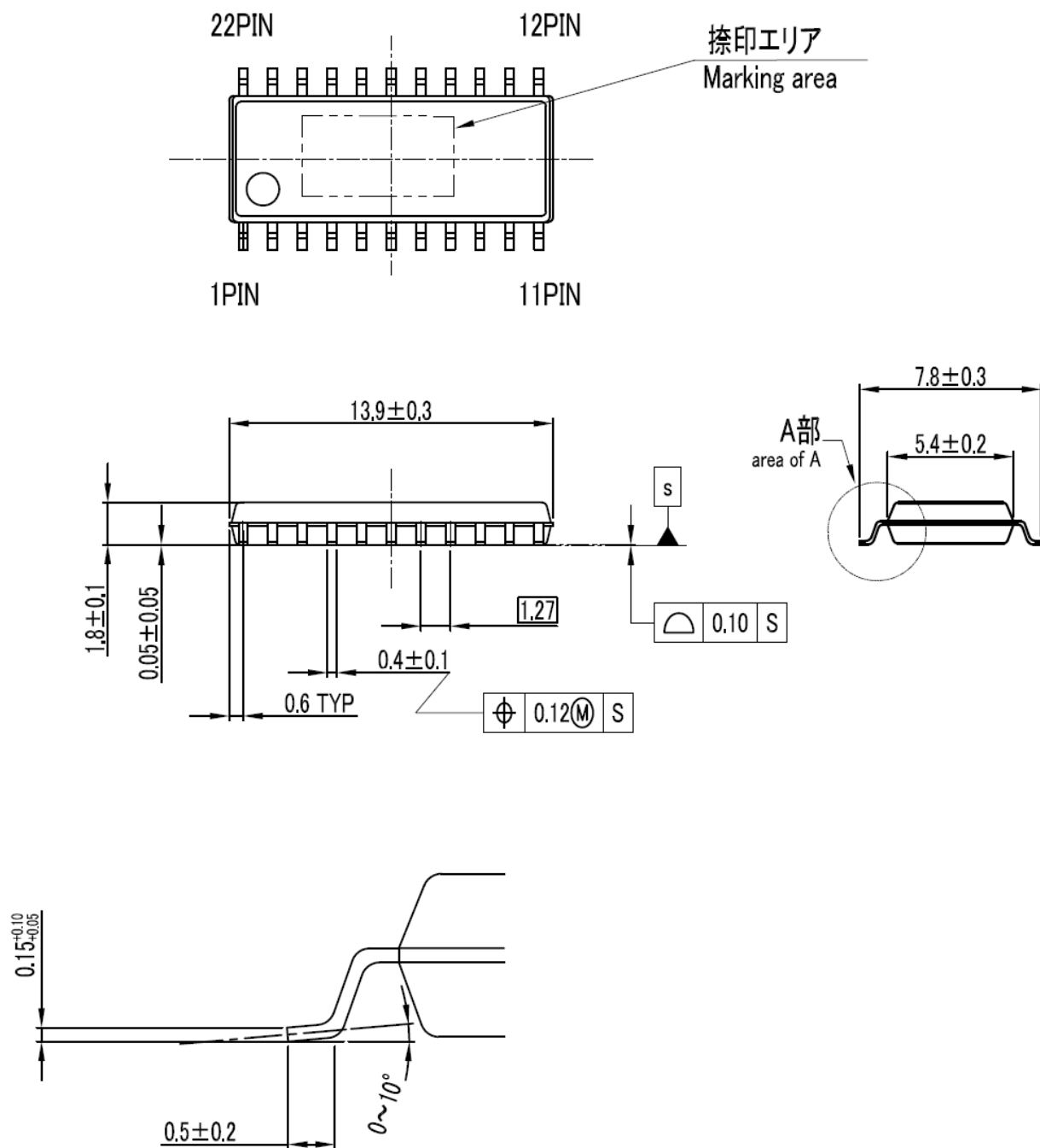
4 回路例

4.1 代表回路図



5 外形寸法図(正式寸法に関しては納入仕様書をご覧ください)

5.1 SOP22 (MCZ5205SE)



Notes: